

**TECNOLOGÍA CMOS: AVANCES Y PERSPECTIVAS**  
**CMOS TECHNOLOGY: ADVANCES AND PERSPECTIVES**

(Recibido el 19-01-2015 - Aprobado el 20-02-2015)

**PhD. Andrea G. Martínez-López**  
Centro de Investigación en Micro y  
Nanotecnología, Universidad Veracruzana,  
Investigador, Boca del Río, Veracruz-México  
*andmartinez@uv*

**M.Sc. Edgar Solís-Ávila**  
Centro de Investigación en Micro y  
Nanotecnología, Universidad Veracruzana, Boca  
del Río, Veracruz-México

**PhD. Jaime Martínez-Castillo**  
Centro de Investigación en Micro y  
Nanotecnología, Universidad Veracruzana,  
Investigador, Boca del Río, Veracruz-México  
*jaimartinez@uv*

**PhD. Julio C. Tinoco Magaña**  
Centro de Investigación en Micro y  
Nanotecnología, Universidad Veracruzana,  
Investigador, Boca del Río, Veracruz-México  
*jutinoco@uv*

**Resumen.** La electrónica moderna, conocida como microelectrónica, ha evolucionado de manera notable en las últimas décadas gracias a diversos progresos científicos y tecnológicos. Durante los primeros años de la década de 1960, se desarrollaron los transistores de efecto de campo Metal-Óxido-Semiconductor y con ellos la tecnología Metal-Óxido-Semiconductor Complementaria, lo cual dio un impulso sin precedentes a la microelectrónica. Desde aquellos años, el avance observado ha sido guiado por la continua reducción de las dimensiones de los transistores utilizados en la fabricación de los circuitos integrados, llegando a tecnologías actuales cuyas dimensiones son del orden de decenas de nanómetros. A medida que se reducen las dimensiones de los transistores, comienzan a aparecer un conjunto de fenómenos que degradan su funcionamiento. Por ello, la tecnología ha buscado diferentes alternativas a fin de continuar con el progreso observado. En este contexto, los transistores de efecto de campo de múltiples compuertas aparecen como una alternativa viable para guiar a la tecnología hacia los dispositivos de menos de 10 nm (sub-10 nm).

Sin embargo, mantener este ritmo de desarrollo durante los próximos años, se vislumbra como un reto científico-tecnológico muy fuerte, debido a la dificultad tecnológica que implica la fabricación de transistores en esas escalas, así como nuevos fenómenos físicos que aparecen en ellos. En esta contribución, se realizará una revisión de los principales aspectos que han ayudado al desarrollo de la microelectrónica moderna haciendo énfasis en la tecnología metal-óxido-semiconductor complementaria, así como los principales retos para los próximos años.

**Palabras clave:** MOSFET, MOSFET avanzados, FinFET, CMOS, circuitos integrados

**Abstract.** Modern electronics, known as microelectronics, has evolved astonishingly in the last decades thanks to scientific and technological advances. In the early 1960, Metal-Oxide-Semiconductor Field Effect Transistors were developed, followed by Complementary Metal-Oxide-Semiconductor technology, giving the field of microelectronics an amazing improvement. Since then, the semiconductor industry has been guided by the continuous reduction of the transistor dimensions used in integrated circuits, allowing the development of the current state of technology with lengths down to tens of nanometers. As the transistor dimensions are shrunk, different phenomena appear that cause performance degradation of the devices. Hence, technological alternatives have been proposed in order to continue with the progress observed in the last decades. In this context, Multiple Gate Field Effect Transistors appears as a viable alternative to reach sub-10nm nodes.

However, in order to keep such progress for future technology nodes, it is necessary to solve a number of technological and scientific challenges, due to the difficulty of fabricating transistors at such scale and the physical phenomena presented. In this contribution, a revision of the main keystones of microelectronics, stressing the Complementary Metal-Oxide-Semiconductor technology case, as well as the main challenges for future technology nodes are addressed.

**Keywords:** MOSFET, Advanced MOSFET, FinFET, CMOS, integrated circuits

## 1. INTRODUCCIÓN

La industria de la microelectrónica ha evolucionado vertiginosamente en las últimas cinco décadas, lo que ha permitido el desarrollo de diversas aplicaciones en diferentes áreas tales como sistemas informáticos y computacionales, telecomunicaciones, sistemas electrónicos de control, sistemas de medición, entre muchas otras. Los primeros sistemas electrónicos se basaron en el funcionamiento de los tubos de vacío, gracias a ellos se gestó y evolucionó una industria novedosa: La radiodifusión.

A finales de la década de 1920, Edgar Lilienfeld desarrolló la idea de un dispositivo para controlar la corriente eléctrica, el cual estaba basado en una capa de sulfuro de cobre (Lilienfeld, 1930; 1932; 1933), este dispositivo teórico constituye el primer antecedente de los transistores de efecto de campo (FET: Field Effect Transistor) (Sah, 1988).

Sin embargo, el gran hito que marco un cambio de rumbo en la industria de la electrónica, se presentó en los Estados Unidos, cuando el grupo de trabajo formado por William Shockley, Walter Brattain y John Bardeen inventaron el primer transistor en el año de 1947 (Bondyopadhyay, 1998; Shockley, 1976). Al año siguiente W. Shockley desarrolló los principios de operación de este nuevo dispositivo: El Transistor Bipolar de Unión (BJT: Bipolar Junction Transistor); con esto surge la tecnología de los dispositivos electrónicos de estado sólido. Durante los primeros años de la era de los semiconductores, los BJT se convirtieron en una novedosa alternativa a los tubos de vacío, sus principales ventajas fueron: (i) bajo consumo de potencia, (ii) mayor estabilidad y (iii) no requerían calentamiento previo.

Una década después, Jack Kilby pensó en la posibilidad de fabricar todos los elementos de un circuito electrónico en una barra semiconductor. En el año de 1958 demostró un circuito funcional fabricado en una barra de germanio (Kilby, 1964; 1976). Un año después, Robert Noyce desarrolló una forma mejorada de “integrar” un circuito electrónico en una barra de silicio, la cual es conocida como tecnología planar (Noyce, 1961; 1968).

La tecnología planar permitió que los circuitos integrados basados en silicio (CIs) fueran lo suficientemente confiables y repetibles para ser implementados de manera comercial, con esto surgió la electrónica moderna: La era de los Circuitos Integrados.

La tecnología planar se basa en las propiedades del dióxido de silicio ( $\text{SiO}_2$ ), entre las cuales se encuentran (Clemens, 1997; Atalla et al., 1959; Kahng; 1976):

- Capacidad de pasivar la superficie del silicio.
- Baja permeabilidad del  $\text{SiO}_2$  a las impurezas utilizadas para dopar al silicio.
- Campos eléctricos críticos altos.
- Baja conductividad eléctrica.
- Baja densidad de carga en la interfaz  $\text{SiO}_2/\text{Si}$ .

La superficie de todo cristal es químicamente muy activa, por lo que diversos tipos de impurezas se enlazan al cristal a través de los enlaces sueltos de su superficie (Atalla et al., 1959; Łukasiak y Jakubowski, 2010), esta característica produce una fuerte degradación en el desempeño de los dispositivos semiconductores (Łukasiak y Jakubowski, 2010). Por otro lado, el uso de una capa de  $\text{SiO}_2$  sobre el silicio permite dar continuidad al cristal, debido a que los enlaces Si – Si y los enlaces Si – O, son similares desde el punto de vista químico y estructural (Atalla et al., 1959; Kahng y Atalla, 1960; Łukasiak y Jakubowski, 2010). De este modo, los enlaces de la superficie del silicio quedan químicamente ligados a los átomos de oxígeno de la capa del óxido, y por tanto reducen la actividad química de la superficie, esto es conocido como pasivación (Atalla et al., 1959; Kahng; 1976). Además, el  $\text{SiO}_2$  presenta baja permeabilidad a las impurezas más utilizadas para dopar al silicio (boro para los materiales tipo P, fósforo y arsénico para los materiales tipo N). Esta característica dio la posibilidad de implementar procesos de dopaje localizado mediante máscaras de óxido, lo que permitió desarrollar diversas estructuras, las cuales dieron paso a los dispositivos semiconductores (Abbasi y Brunnschweiler, 1981; Grove, 1967: 50).

Desde el punto de vista eléctrico, el  $\text{SiO}_2$  es un excelente aislante, por lo que los campos eléctricos necesarios para producir una ruptura dieléctrica son elevados (Chang-Liao y Chen, 1997), además la interfaz silicio/óxido es de muy alta calidad lo que se traduce en una baja densidad de carga (Iwai y Ohmi, 2002). Estas características fueron clave durante los primeros años de la década de 1960, a fin de realizar los primeros transistores MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) (Kahng y Atalla, 1960).

Posteriormente, Wanlass y Sah (1963) proponen el uso de transistores MOSFET canal N y canal P en una configuración combinada conocida como tecnología MOS complementaria (CMOS: Complementar y MOS). Hacia los primeros años de la década de 1970, la tecnología CMOS permitió desarrollar los primeros microprocesadores, dando un impulso definitivo a los sistemas digitales (Itoh, 2013).

## 2. PRINCIPIO DE OPERACIÓN DE LOS TRANSISTORES MOSFET

La Figura 1 muestra un esquema del corte transversal de un transistor MOSFET estándar canal N (Sze, 1985: 186). El elemento fundamental de este dispositivo es la estructura MOS formada por el electrodo de compuerta, el dióxido de silicio y el silicio que forma la zona activa del transistor. La estructura MOS puede operar en tres regímenes: (i) acumulación, (ii) empobrecimiento; (iii) inversión. Las Figuras 2(a), 2(b), 2(c) y 2(d) muestran la estructura de bandas de la estructura MOS, considerando un sustrato tipo P, en equilibrio y en sus diferentes regímenes de operación (Grove, 1967: 50).

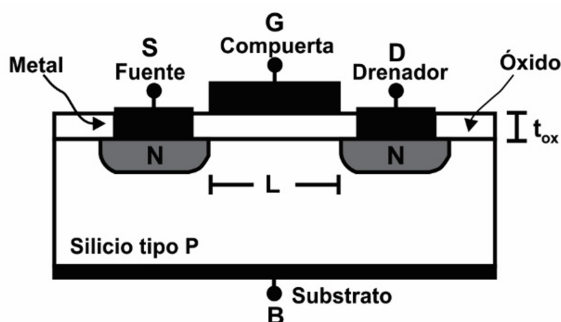


Figura 1. Esquema del corte transversal de un transistor MOSFET

Al aplicar un voltaje negativo a la compuerta, la estructura de bandas se curvará hacia arriba, como lo muestra la Fig. 2(b), esto hace que el borde de la banda de valencia se aproxime al nivel de Fermi, conforme se acerca a la interfaz  $\text{Si}/\text{SiO}_2$ . De este modo, en la superficie del silicio hay un incremento en la densidad de portadores mayoritarios (Grove, Leistikio y Hooper, 1967). Por otro lado, al aplicar un voltaje positivo a la compuerta, la estructura de bandas se curvará hacia abajo como lo muestra la Fig. 2(c), esto hace que el nivel de Fermi se aproxime al nivel de Fermi intrínseco, por lo que se reduce la densidad de portadores mayoritarios y con ello se establece una región de carga espacial (RCE) en la superficie del silicio, el ancho de la RCE ( $X_d$ ) es dependiente del voltaje aplicado a la terminal de compuerta (Hofstein y Heiman, 1963). Finalmente, si el voltaje en la compuerta sigue aumentando, el nivel de Fermi quedará por arriba del nivel de Fermi intrínseco, en ese momento la superficie del silicio se comporta como una región tipo N, dado que la concentración de electrones será mayor que la de huecos, por tanto la superficie del semiconductor se invierte (Takagi et al., 1994). El voltaje necesario en la compuerta para provocar la inversión de la superficie es conocido como voltaje de umbral ( $V_T$ ). Una vez que se alcanza la inversión, cualquier incremento en el voltaje de compuerta significará un incremento en la densidad de portadores en la región de inversión y por tanto el ancho de la RCE se mantendrá prácticamente constante con valor  $X_{dmax}$  (Hofstein y Heiman, 1963).

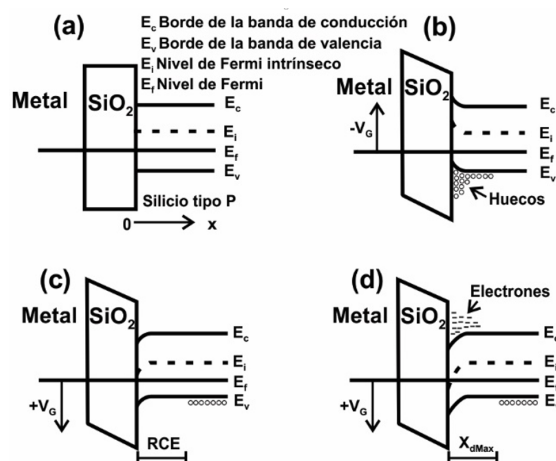


Figura 2. Estructura de bandas de energía de la estructura MOS. (a) en equilibrio, (b) en condición de acumulación, (c) en condición de empobrecimiento y (d) en condición de inversión

Como puede verse en la Figura 1, en el transistor MOSFET canal N, las regiones de fuente y drenador están separadas por el sustrato el cual tiene una conductividad opuesta, de este modo se forman dos uniones  $N^{++}$ -P y como consecuencia no hay flujo de corriente entre los electrodos de fuente y drenador. Sin embargo, cuando se aplica un voltaje superior al  $V_T$  entre la compuerta y la fuente ( $V_{GS}$ ), la superficie del silicio se invertirá, generando una zona muy delgada que las une, como se muestra en la Figura 3(a). Esta zona es conocida como canal, a través de la cual se establece un flujo de corriente ( $I_{DS}$ ). Al aumentar  $V_{GS}$ , se incrementará la densidad de portadores móviles en la zona de inversión y por tanto se reducirá la resistencia eléctrica del canal, incrementando la corriente que pasa por el dispositivo (Chern et al., 1980).

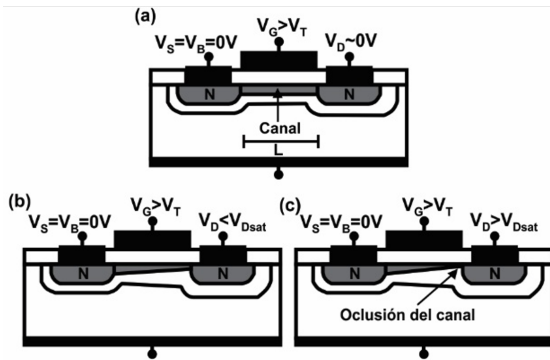


Figura 3. Principio de operación de un transistor MOSFET, (a) Condición de inversión de la estructura MOS con  $V_{DS}$  cercano a cero, (b) Perfil del canal a medida que se incrementa  $V_{DS}$  y (c) Condición de oclusión del canal

Al mismo tiempo, al drenador se le aplica un voltaje positivo ( $V_{DS}$ ) de forma que la unión existente con el sustrato se polariza inversamente. Al incrementar  $V_{DS}$ , se incrementa el ancho de la RCE de la unión drenador-sustrato, reduciendo la densidad de portadores móviles en borde del drenador. Por ello, el canal toma un perfil triangular como lo muestra la Figura 3(b), como consecuencia la resistencia asociada al canal se incrementa y por ello la corriente comienza a verse limitada (Yamaguchi, 1983). Si se continúa incrementando  $V_{DS}$  llegará el momento en el que el canal se ocluye totalmente en el borde del drenador, como se muestra en la Figura 3(c), bajo esta condición cualquier incremento en el voltaje aplicado, se reflejará como un incremento del ancho de la RCE; por lo tanto el canal se mantiene sin cambios y sometido a un potencial constante, por ello la corriente a través del dispositivo se vuelve constante. El voltaje necesario para llegar a esta condición se conoce como voltaje de saturación

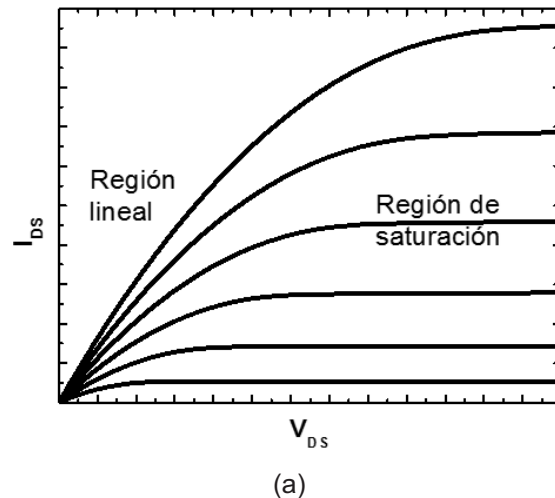
( $V_{DSsat}$ ). Las Figuras 4(a) y 4(b) muestran, respectivamente, un juego de curvas características de salida y transferenciales típicas, así como las diferentes regiones de operación de los transistores MOSFET.

### 3. TECNOLOGÍA CMOS

Los CIs han tenido un mercado muy amplio en los sistemas digitales, durante los primeros años se basaron en los BJT a través de la llamada lógica transistor-transistor (TTL: Transistor-Transistor Logic). Posteriormente fueron desarrollados los sistemas basados en los transistores MOSFET canal P (PMOS) y posteriormente con canal N (NMOS) (Sah, 1988). Un paso importante fue el desarrollo de la tecnología CMOS (Wanlass y Sah, 1963; Itoh, 2013). La tecnología CMOS fue ganado terreno sobre la bipolar, básicamente debido a que cuentan con (Garrett, 1970):

- Buena inmunidad al ruido.
- Baja disipación de potencia.
- Amplio rango de voltajes de operación.
- Capacidad de funcionamiento en un rango amplio de temperatura.
- Alta impedancia de entrada.

La Figura 5(a) muestra el diagrama eléctrico de un inversor CMOS, mientras que las Figuras 5(b) y 5(c) muestran la operación del inversor al aplicar un voltaje a la entrada.



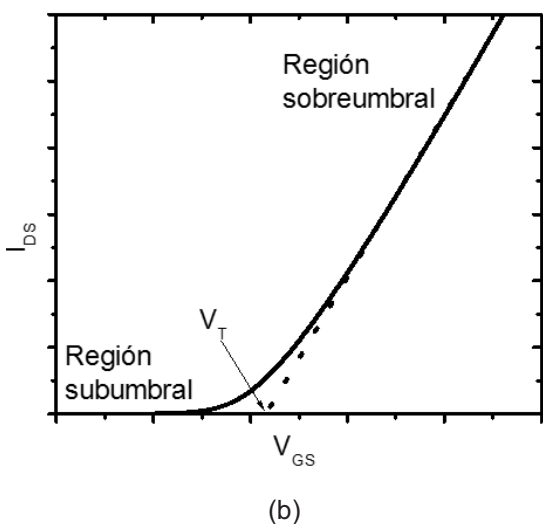


Figura 4. Curvas características de un transistor MOSFET: (a) salida y (b) transferencial

Cuando a la entrada se aplica un voltaje positivo, el transistor canal N se encuentra en estado de encendido, mientras que el transistor canal P se encuentra en estado de apagado, por ello prácticamente todo el voltaje de la fuente de alimentación caerá en el transistor canal P y la salida será cero volts.

Por el contrario, si a la entrada se aplican cero volts, el transistor canal N estará en estado de apagado y el transistor canal P estará en encendido y por consiguiente el voltaje a la salida será prácticamente igual a la fuente de alimentación. Como puede verse, en ambos estados lógicos uno de los transistores está apagado y por ello no hay flujo de corriente a través de la rama (Uyemura, 2001: 103).

El único momento en el que se presenta un flujo de corriente en el inversor, es durante la transición en la señal de entrada, en ese momento uno de los transistores pasa de encendido a apagado y el otro de apagado a encendido; por ello, se presenta un pequeño intervalo de tiempo en el cual ambos transistores están activos, permitiendo el flujo de corriente (Veendrick, 1984).

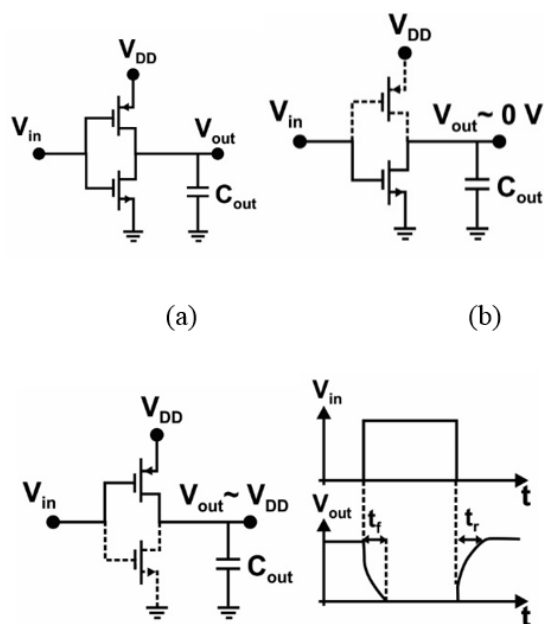


Figura 5. (a) Diagrama eléctrico de un inversor CMOS; (b) con  $V_{in}$  en estado lógico 1; (c) con  $V_{in}$  en estado lógico 0 y (d) diagrama de tiempos

El ancho del canal en el transistor P es físicamente más grande para compensar la menor movilidad de huecos comparada con la movilidad de electrones. Si se considera que la longitud de canal de ambos transistores es igual y a fin de tener una característica transferencial simétrica, se debe cumplir la siguiente ecuación:

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} \quad \rightarrow \quad (1)$$

donde  $W_p$  y  $W_n$  son los anchos de los transistores canal P y N, respectivamente y  $\mu_p$  y  $\mu_n$  son las movilidades de huecos y electrones, respectivamente.

En general, un inversor CMOS estará conectado a la entrada de otro circuito lógico, de este modo, el inversor tendrá una carga capacitiva ( $C_{out}$ ), conectada a la salida. Durante las transiciones de la señal de entrada, el voltaje de salida producirá la carga y descarga de  $C_{out}$ , provocando un retardo, como se muestra en la Fig. 5(d).

Cuando se presenta una transición de alto a bajo en la entrada del inversor,  $C_{out}$  se cargará gradualmente a través del transistor canal P, hasta el momento en que su voltaje toma el valor de la fuente de alimentación, estableciendo un nivel lógico alto estable. De manera recíproca, durante la transición de bajo a alto en la entrada,  $C_{out}$  se descargará gradualmente sobre el transistor canal N, hasta que su voltaje cae a cero, con lo que establece un estado lógico cero estable. Los tiempos de carga ( $t_r$ ) y descarga ( $t_f$ ) dependen del valor de  $C_{out}$  y de la resistencia serie que ofrecen los transistores, de modo que  $t_r \neq t_f$ . Los tiempos  $t_r$  y  $t_f$  se obtienen mediante las siguientes expresiones (Uyemura, 2001; 117):

$$t_r = 4 \frac{C_{out} V_{DD} L_p}{\mu_p C_{ox} W_n (V_{DD} - V_{Tp})^2} \rightarrow (2)$$

$$t_f = 4 \frac{C_{out} V_{DD} L_n}{\mu_n C_{ox} W_p (V_{DD} - V_{Tn})^2} \rightarrow (3)$$

donde:  $V_{DD}$  es el voltaje de la fuente de alimentación y  $C_{ox}$  es la capacitancia normalizada en área del óxido de compuerta,  $V_{Tn}$ ,  $V_{Tp}$  y  $L_n$ ,  $L_p$  son los voltajes de umbral y las longitudes de canal, respectivamente, de los transistores canal N y P.

$$f_{max} = \frac{1}{(t_r + t_f)} \rightarrow (4)$$

Otra figura de mérito importante es el tiempo de propagación ( $t_p$ ), se define como el tiempo que tarda la salida en responder a cambios del estado lógico en la entrada, y se calcula con el promedio del tiempo que tarda el inversor en las transiciones desde que  $V_{in}$  se encuentra a la mitad de  $V_{DD}$  hasta que  $V_{out}$  sea igual al mismo valor (Veendrick, 1984).

Con respecto a la disipación de potencia (P), Debido a que los transistores no son ideales existe una pequeña corriente de fuga ( $I_{DDQ}$ ) durante los estados lógicos estables que suele ser muy pequeña, produciendo un pequeño consumo de potencia, definida como:

$$P = I_{DDQ} V_{DD} \rightarrow (5)$$

Con el fin de comparar el desempeño del inversor se utiliza el producto de la potencia promedio ( $P_{av}$ ) y  $t_p$ , este producto se conoce como producto potencia-retardo (PDP: Power Delay Product).  $P_{av}$  depende directamente de la frecuencia de operación (f) como se describe en la ecuación 6 (Kang, 1986).

$$P_{av} = C_{out} V_{DD}^2 f \rightarrow (6)$$

Para que exista una transición en la salida del inversor CMOS, los transistores P y N deben cambiar de saturación a corte y viceversa. Esto ocurre cuando  $V_{GS}$  (voltaje de entrada) cambia alrededor del  $V_T$  del transistor correspondiente ( $V_{TN}$  para el transistor canal N y  $V_{TP}$  para el transistor canal P). Tomando en cuenta lo anterior, cambios de voltaje menores a  $V_T$  en la entrada del inversor no provocan un cambio en la salida del circuito; esto se traduce en una alta inmunidad al ruido, lo cual se mide de manera cuantitativa mediante un parámetro conocido como margen de ruido. Existe un margen de ruido para el estado alto y uno para el estado bajo, los cuales están acotados a los voltajes donde el valor absoluto del factor de ganancia ( $A_v = dV_{out}/dV_{in}$ ) es menor o igual a la unidad. La importancia del margen de ruido está en ofrecernos una medida de la inmunidad del circuito a cambios falsos de estado (Pfiester, Shott y Meindl, 1985).

La Figura 6 muestra la estructura del inversor CMOS. Como puede verse, entre las zonas activas de ambos MOSFET, se forma la estructura de dos BJTs parásitos. Este acoplamiento se conoce como latch-up y si se dan las condiciones necesarias para disparar a los dispositivos bipolares, el inversor se pone en corto circuito. Algunas de las soluciones a este problema son (Ochoa et al., 1979; Gregory y Shafer, 1973):

- Reducir en lo posible la resistencia de las regiones semiconductoras y el substrato.
- Alejar los transistores uno del otro.
- Aumentar el ancho de las bases equivalentes de los transistores bipolares, lo que reduce su ganancia.
- No polarizar las uniones en directa durante la operación del inversor.

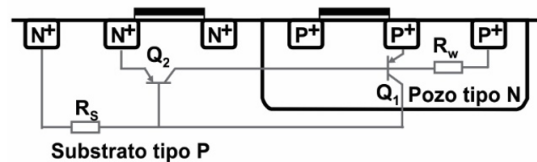


Figura 6. Diagrama de corte transversal de un inversor CMOS, se muestran los transistores BJT parásitos formados por la estructura

#### 4. ESCALADO DEL MOSFET

En general, los MOSFET, así como la tecnología CMOS, se consideraban como dispositivos lentos debido a las altas capacitancias de compuerta.

Sin embargo, como se mencionó anteriormente, el consumo de potencia es muy bajo debido a que sólo hay un flujo de corriente durante las transiciones.

R. H. Dennard et al. (1974), establecieron una metodología que permitía mejorar el desempeño de los transistores MOSFET. Este procedimiento consistía en la reducción de las dimensiones de transistor por un factor constante  $K$ . A fin de mantener las condiciones de operación del transistor, el ancho de las regiones de carga espacial de las uniones fuente-substrato y drenador-substrato deben ser reducidas, para ello se debe incrementar la concentración de impurezas del substrato. El procedimiento de escalado considera que las fuentes de alimentación también deben ser reducidas por el mismo factor, a fin de que los campos eléctricos internos se mantengan constantes, este procedimiento es conocido como escalado a campo constante (Baccarani et al., 1984; Chatterjee, 1980).

Debido al escalado, la capacitancia de compuerta se ve reducida como resultado de la reducción del área del transistor, de este modo se reducen los tiempos de carga/descarga, y se logra disminuir el retardo en la operación de los circuitos digitales (Borah et al., 1996; Rogenmoser y Kaeslin, 1997). Al mismo tiempo, al reducir las dimensiones de los transistores, se pueden integrar una mayor cantidad de ellos en la misma área de silicio, de modo que se incrementa la densidad de integración.

El escalado de los transistores ha permitido que la longitud de canal se reduzca de manera continua desde los 10  $\mu\text{m}$  usados en los primeros microprocesadores de los años 70's hasta los actuales que tienen longitudes de canal menores a los 20 nm. Adicionalmente, existe un consorcio internacional que realiza una proyección de la evolución de la tecnología en los próximos 15 años, este consorcio denominado ITRS (International Technology Roadmap of Semiconductors) prevé que la longitud de canal continúe reduciéndose durante la década de los años 2020 (ITRS, 2013). Sin embargo, lograr implementar comercialmente estos nodos implica la solución de múltiples retos tecnológicos y de desempeño de los dispositivos.

Entre otros, el uso de dieléctricos de alta constante dieléctrica (Wong e Iwai, 2006; Iwai, 2009), el control de la degradación debido a los Efectos de Canal Corto (SCE: Short Channel Effects) (Wang, 1978), así como lograr una alta reproducibilidad están entre los principales problemas por resolver.

## 5. EFECTOS DE CANAL CORTO

A medida que las dimensiones de los transistores se han reducido de manera drástica, se presentan un conjunto de efectos que degradan el desempeño del dispositivo, estos son conocidos como SCE. En general, los SCE son producidos debido a que la compuerta pierde control sobre la zona activa y por tanto sobre el funcionamiento del dispositivo (Saha, 2001). Asociada a la pérdida de control por parte de la compuerta, se presentan varios efectos que degradan el desempeño de los transistores de longitudes muy pequeñas, los más importantes son:

### 5.1 Reducción del voltaje de umbral

A medida que se reduce la longitud del canal, las RCE formadas entre el drenador-fuente y el substrato toman mayor peso en el interior de la zona activa del transistor. Por ello la densidad de carga controlada por el voltaje de compuerta ( $V_{GS}$ ) se reduce. Esto provoca una reducción en el voltaje necesario para invertir la superficie y por tanto en el  $V_T$  (Sze, 1985: 189).

### 5.2 Incremento de la corriente subumbral

El decremento del  $V_T$  y la cercanía de las RCE de drenador-fuente y el substrato, producen un incremento de la corriente en régimen subumbral ( $V_{GS} < V_T$ ), la cual es definida como la corriente en estado de apagado. Además, dicho incremento produce una fuerte reducción de la razón  $I_{ON}/I_{OFF}$ , de tal forma que la operación como interruptor se ve comprometida (Chau et al., 2005). Finalmente, se produce un incremento en la pendiente subumbral definida como el voltaje que es necesario reducir en la compuerta por debajo de  $V_T$  capaz de provocar una reducción de un orden de magnitud en la corriente de drenador, se mide en mV/década (Roy, Mukhopadhyay y Mahmoodi-Meimand, 2001).

### 5.3 Modulación de la longitud del canal

Como se mencionó anteriormente, una vez que el transistor ha alcanzado la condición de oclusión, cualquier incremento en  $V_{DS}$  produce un incremento en el ancho de la RCE asociada al drenador. Sin embargo, para dispositivos muy pequeños, el punto de oclusión del canal se ve desplazado hacia el interior del canal, reduciendo su longitud efectiva y como resultado su resistencia, incrementando la corriente. Como consecuencia de este fenómeno, las curvas de corriente de salida en la región de saturación adquieren una pendiente positiva (Hiroki, Yamate y Yamada, 2008).

#### 5.4 Efecto DIBL

El voltaje aplicado al drenador produce una curvatura de la estructura de bandas a lo largo del canal. Para transistores de canal muy pequeño, la curvatura de las bandas afecta a la barrera de potencial formada entre la fuente y el canal, de forma que la reduce, esto es conocido como reducción de la barrera de potencial inducida por el drenador (DIBL: Drain Induce Barrier Lowering). Una consecuencia del efecto DIBL es un importante incremento en  $I_{OFF}$  (Dennard et al., 1974; Mead, 1994).

#### 5.5 Efecto GIDL

Como resultado del escalado, el espesor del dieléctrico de compuerta también es adelgazado. Para transistores con longitudes de canal menores a 100 nm, se vuelve del orden de unos cuantos nanómetros. Al ser tan delgada esta capa, comienza a aparecer tuneo mecánico-cuántico hacia o desde el metal, resultando en un incremento en la corriente de fuga a través del dieléctrico. Durante el proceso de fabricación, las regiones de fuertemente dopadas de drenador-fuente se difunden hacia el interior de la zona activa, formando un traslape entre estas regiones y el electrodo de compuerta. El traslape del drenador provoca una pequeña región por donde la corriente de fuga de la compuerta es inyectada hacia/desde el drenador, induciendo una corriente de fuga como resultado de la corriente de compuerta (GIDL: Gate Induce Drain Leakage) (Roy, Mukhopadhyay y Mahmoodi-Meimand, 2001).

### 6. EFECTOS EXTRÍNSECOS

Además de los SCE, hay algunos otros problemas asociados a la estructura física del dispositivo, que afecta su desempeño, los más importantes son las resistencias serie y las capacitancia extrínsecas (Enz, 2002).

Las resistencias serie de fuente y drenador ( $R_{SE}$  y  $R_{DE}$ ) están formadas por varias componentes, las principales son (Seong-Dong, Cheol-Min y Woo, 2002):

- $R_M$ : Resistencia de las líneas de metal utilizadas para las interconexiones.
- $R_C$ : Resistencia del contacto óhmico formado entre el metal y el semiconductor.
- $R_{sb}$ : Resistencia de las zonas altamente dopadas de drenador y fuente.
- $R_{sp}$ : Resistencia de expansión de la trayectoria, esta componente aparece cuando los portadores de carga pasan desde una zona relativamente

gruesa desde la fuente hacia el canal, el cual es muy estrecho, provocando una fuerte dispersión en la trayectoria de los portadores.

En el caso de la capacitancia extrínseca, también está formada por varias componentes, las principales son (Enz, 2002):

- $C_{ov}$ : Capacitancia de traslape, la cual es resultado del traslape entre las regiones de fuente y drenador y el canal.
- $C_{fb}$ : Capacitancia de borde, el campo eléctrico no termina de forma abrupta en la pared de la compuerta, sino que hay un efecto de borde tal que las líneas de campo se expanden a través de la región de pasivación hacia la fuente y drenador formando un acoplamiento capacitivo con el electrodo de compuerta.
- $C_j$ : Capacitancia de la unión  $N^{++}$ -P formada entre las zonas altamente dopadas de drenador y fuente y el sustrato.

### 7. TRANSISTORES SOI

Con la finalidad de controlar los SCE, la industria ha concebido diferentes variantes tecnológicas como alternativas a la tecnología MOS estándar. La primera alternativa surgió hacia 1963, con la idea de fabricar dispositivos en base a silicio obtenido sobre un sustrato de zafiro (SoS: Silicon-on-Sapphire). Esta opción tecnológica fue fuertemente impulsada durante los años 70's con la finalidad de fabricar dispositivos menos sensibles a los efectos de radiaciones ionizantes (Howes et al., 1994; Pucel, 1981). Además, la presencia del zafiro, permitió reducir el área de las uniones de fuente-drenador con la zona activa del dispositivo y con ello las capacitancias extrínsecas  $C_j$ , de este modo, la tecnología SoS mostró la posibilidad de fabricar dispositivos más veloces que la tecnología CMOS estándar (Schmitz, 1991).

Sin embargo, una seria limitación tecnológica era la calidad de las capas de silicio, las cuales presentan alta densidad de defectos en la interfaz con el zafiro, lo cual incrementa fuertemente  $I_{OFF}$  y reduce la movilidad (Wang et al, 2000). A fin de mejorar la calidad de las capas de silicio es necesario crecer capas muy gruesas, lo cual reducía el impacto del sustrato en el desempeño de los dispositivos (Hsu, 1978). La tecnología SoS demostró una alternativa para mejorar el desempeño de los transistores MOS, aunque la tecnología estándar observó y siguió las ventajas de la miniaturización. De esta forma, la industria se enfocó en la solución de los diversos retos que significaba reducir las dimensiones de los



dispositivos como hoja de ruta del progreso de la microelectrónica. No obstante, la idea del uso de un sustrato dieléctrico como alternativa para reducir los SCE, cobró cada vez más importancia (Chaudhry y Kumar, 2004).

De esta forma, durante los años 80's surge la idea de realizar los dispositivos en una capa de silicio cristalino depositada sobre un sustrato de  $\text{SiO}_2$ , las inmejorables características de la interfaz  $\text{Si}/\text{SiO}_2$  hacían pensar en la posibilidad de fabricar dispositivos de alta calidad, aunque desde el punto de vista tecnológico era un reto lograr una capa cristalina con la suficiente calidad sobre el sustrato de óxido cuya estructura es amorfa, esta tecnología es conocida como silicio sobre aislante (SOI: Silicon-On-Insulator). Diversas técnicas para fabricar los sustratos SOI comenzaron a desarrollarse, hasta que durante la década de 1990, alcanzaron la calidad que garantizaban el correcto desempeño de los transistores MOS (Colinge, 2004: 5).

Gracias a la tecnología SOI, se concibieron dos tipos de transistores, los parcialmente empobrecidos (PD-SOI: Partially Depleted Silicon-On-Insulator) y los completamente empobrecidos (FD-SOI: Fully Depleted Silicon-On-Insulator). La diferencia subyace en el espesor de la capa de silicio (Ferlet-Cavrois et al., 2002). En el caso de los transistores PD-SOI, la capa de silicio es lo suficientemente gruesa para garantizar que debajo de la RCE generada por la compuerta, se mantendrá una región neutral en la capa de silicio, por ello se requieren capas con espesores del orden cientos de nanómetros (Tenbroek et al., 1996). En el caso de los transistores FD-SOI, la capa de silicio es muy delgada y por lo tanto la RCE se extiende a todo lo largo del silicio (Suzuki et al., 2000).

Inicialmente, la tecnología PD-SOI fue ganando terreno en aplicaciones de alta radiación y en sistemas electrónicos sometidos a altas temperaturas (Ferlet-Cavrois et al., 2002). La Figura 7 representa el principal efecto de la radiación de alta energía sobre un transistor estándar y un transistor SOI, una partícula altamente energética que incide en el transistor, generará pares electrón-hueco durante todo su recorrido dentro del dispositivo. En el caso de la tecnología estándar, los pares generados en la RCE pueden provocar incrementos importantes en las corrientes de fuga. Por otro lado, en la tecnología SOI la fracción de pares generados en la zona activa es muy pequeña, la mayor parte son generados en el sustrato por lo que su efecto es poco significativo en el desempeño del dispositivo, dándoles una mayor inmunidad (Schwank, 2003).

Gracias a las continuas mejoras de la tecnología SOI, se fue volviendo una tecnología suficientemente madura para cubrir las necesidades de los sistemas digitales de alto desempeño en los últimos años (Davari et al., 1995; Chuang et al., 1998).

Las principales ventajas de la tecnología SOI son:

- Reducción de las capacitancias extrínsecas asociadas a las uniones fuente/drenador con la zona activa.
- Reducción del consumo de potencia.
- Mejor manejabilidad de corriente.
- Mejor control de los SCE.
- Mayor inmunidad a los efectos de la radiación.
- Desactivación del efecto latch-up.
- Presentan mejores perspectivas para el escalado.

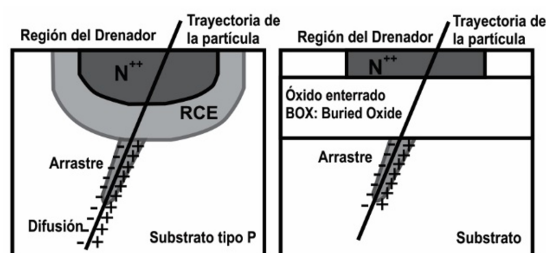


Figura 7. Efecto de una partícula de alta energía en un transistor (a) MOSFET estándar y (b) MOSFET en tecnología SOI

Sin embargo, los transistores SOI también presentan algunas limitaciones, en el caso de los transistores PD-SOI, los principales problemas son:

- 1) Efecto Kink: consiste en la generación de pares electrón-hueco por el impacto de los portadores que viajan desde la fuente hacia el drenador con los átomos de la red cristalina. Los electrones generados son arrastrados por el campo eléctrico interno hacia el electrodo de drenador provocando un repentino incremento de la corriente en la región de saturación (Wei, Sherony y Antoniadis, 1995).
- 2) Efecto de cuerpo flotante: cuando hay una generación de pares-electrón hueco, los electrones son arrastrados por el potencial del drenador, sin embargo los huecos son arrastrados hacia la RCE debajo del canal, de este modo la carga en la capa de silicio se va incrementando gradualmente provocando la aparición de un potencial eléctrico (Shahidi et al., 1993).
- 3) Efectos transitorios: debido al efecto de cuerpo flotante, cuando hay un cambio abrupto del voltaje aplicado a la compuerta, los portadores mayoritarios tardan cierto tiempo en responder, por lo que la corriente va cambiando gradualmente.

En el caso de los transistores FD-SOI la principal preocupación está relacionada al acoplamiento eléctrico entre la interfaz Si/SiO<sub>2</sub> del dieléctrico de compuerta y del óxido del sustrato (BOX: Buried Oxide). Dado que la capa de silicio está totalmente empobrecida, cualquier cambio en el potencial de la interfaz Si/BOX producirá cambios notables en el desempeño del dispositivo (Mayer, Cole y Pollack, 1991).

Adicionalmente, a medida que se reducen las dimensiones de los transistores, la tecnología SOI también comienza a presentar efectos de degradación que comprometen su desempeño (Chuang, Lu y Anderson, 1998). Los principales problemas para longitudes menores a 100 nm, conocidas como submicrométricas profundas (Deep-submicron), son:

- 1) Efecto de autocalentamiento (Self Heating): el óxido de silicio tiene una menor conductividad térmica que el silicio. Este hecho provoca que el calor generado en el canal, por la corriente de drenador, no pueda escapar del silicio aumentando gradualmente la temperatura de la capa, esto produce una reducción de la movilidad, la razón  $I_{ON}/I_{OFF}$  y la velocidad de conmutación (Dallmann y Shenai, 1995).
- 2) Transistor bipolar parásito: la estructura del transistor SOI produce un transistor bipolar en paralelo con el dispositivo SOI, cuando el transistor es muy pequeño, la activación del transistor bipolar se facilita a medida que se reducen las dimensiones del transistor SOI (Chen, 1988).
- 3) Polarización del sustrato virtual inducida por el drenador DIVSB (Drain-Induced Virtual Substrate Biasing): el voltaje aplicado al drenador, produce un campo eléctrico que se extiende en el BOX, el cual provoca un acoplamiento eléctrico entre el drenador y la interfaz Si/BOX. A medida que se incrementa el voltaje de drenador, el potencial de la interfaz se incrementa, provocando la inversión del silicio del lado del BOX. Este efecto incrementa la pendiente subumbral e  $I_{OFF}$  (Ernst et al., 2002).

## **8. TRANSISTORES DE MÚLTIPLES COMPUERTAS**

Durante la segunda mitad de 1950, se buscó la posibilidad de usar más de una compuerta para poder diseñar un dispositivo de efecto de campo funcional. En 1957 Wallmark describió un dispositivo unipolar de efecto de campo con más de una compuerta

(Wallmark, 1959), este es el antecedente histórico de lo que hoy se conoce como los transistores de múltiples compuertas (MuGFET: Multiple Gate FET). Sekigawa y Hayashi (1984) desarrollaron un transistor MOSFET con dos compuertas, una por arriba y la segunda debajo del silicio, el cual fue llamado XMOS. A través de este dispositivo se mostró la capacidad de reducir los SCE, debido al control simultáneo de las compuertas.

Debido a la fuerte reducción de las dimensiones experimentada por los MOSFETs, los SCE se han convertido en uno de los principales problemas por resolver. Por ello el interés en los MuGFETs se ha ido incrementando notablemente en los últimos años, por lo que se han propuesto diferentes arquitecturas para superar los retos tecnológicos provocados por su naturaleza tridimensional (3-D) (Colinge, 2008: 10; Cupri et al., 2013).

La característica principal de los MuGFETs es que se fabrican con el óxido de compuerta en más de un plano cristalino, logrando control de parte de la compuerta en más de un lado de la región activa del canal (Colinge, 2008: 14). En 1989, Hisamoto et al. (1989) inventaron un dispositivo llamado DELTA, renombrado después como FinFET. Esta estructura es la que ha mostrado una mayor compatibilidad con la tecnología planar de entre los diferentes MuGFET (Cupri et al., 2013), los cuales pueden construirse en sustrato estándar de silicio o en sustrato SOI (Subramanian et al., 2006). El FinFET puede tener dos canales laterales, perpendiculares a la superficie de silicio (FinFETs de dos compuertas) o dos laterales y un canal en la superficie del silicio (FinFETs de triple compuerta).

El uso de más de una compuerta produce un confinamiento de portadores al interior del fin (Colinge, Baie y Bayot, 1994); además, la presencia de los canales laterales produce una mayor área activa comparada con los transistores planares (Choi et al., 2002). De este modo, hay una mejora significativa en el desempeño de los transistores. (Weize et al., 2004). Adicional a los FinFET, se han demostrado otras estructuras que poseen canales verticales como los MOSFET de cable-triangular y canal  $\Delta$  (Colinge, 2004); asimismo se han propuesto otras más complejas como los  $\pi$ -FETs,  $\Omega$ -FETs y los Gate-all-Around FETs (GaA-FETs), estas estructuras tienen un valor de compuerta equivalente de entre 3 y 4 (Lee et al., 2007; Poiroux et al., 2005). Las diferentes estructuras propuestas exhiben diferentes oportunidades y retos tecnológicos, por ello, la elección de la estructura que permitirá continuar con el desarrollo de la industria aún es tema de discusión.

## 9. RETOS Y PERSPECTIVAS

Como se mencionó anteriormente, la industria de circuitos integrados prevé que la tecnología CMOS continuará su progreso mediante la reducción de las dimensiones de los transistores. La Figura 8 muestra la perspectiva del ITRS, como puede observarse, se espera que hacia el año 2022 se implemente la tecnología de 10 nm y más aún se espera que a finales de esa década se implementen nodos tecnológicos del orden de 5 nm (ITRS, 2013). Adicionalmente, se puede observar que el ITRS considera que la tecnología estándar logrará cubrir hasta el nodo de 17 nm en el año 2017, todos los nodos posteriores, se espera, sean realizados en tecnología MuGFET. Aunado a esto, la correcta operación de los MuGFETs requiere que el espesor de la capa de silicio ( $t_{si}$ ) sea reducida a menos de 5 nm para tecnologías sub-10 nm y el espesor equivalente a óxido de silicio, del dieléctrico de compuerta (EOT: Equivalent Oxide Thickness) sea menor a 1 nm.

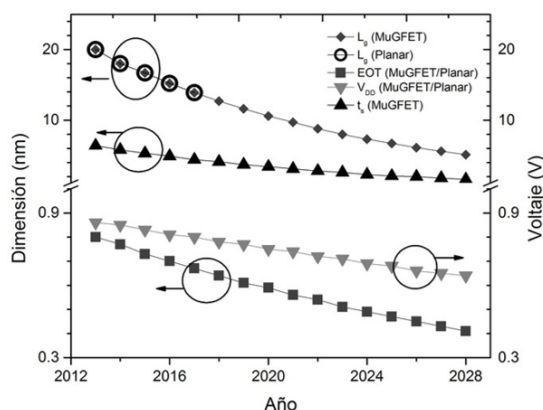


Figura 8. Proyecciones del ITRS

Esta proyección permite apreciar los retos por superar para poder cumplir con las metas establecidas en el ITRS. Desde el punto de vista tecnológico, el grado de control y la precisión que requieren los procesos de fabricación para definir las dimensiones del dispositivo, así como para obtener las películas de los espesores que la industria requiere es un reto muy grande (Bhole, 2013; Ragnarsson, 2011). Por otro lado, la optimización de la estructura 3-D de los MuGFETs, su repetitividad, estabilidad y confiabilidad es indispensable para garantizar CIs lo suficientemente maduros para su implementación comercial, dificultando aún más las metodologías de fabricación (Bhole, 2013; Wang, 2011).

Entre algunos de los retos se encuentra la necesidad de reemplazar al óxido de silicio, utilizado como dieléctrico de compuerta, por materiales de alta constante dieléctrica (Iwai, 2002; Iwai 2009).

Sin embargo, se deben resolver diferentes problemáticas asociadas a la estabilidad y calidad de la interfaz dieléctrico-silicio (Choi, 2011; Gang, 2012) así como de confiabilidad de los dieléctricos a fin de evitar fenómenos de ruptura prematura (Pae, 2012). Por otro lado, el uso e implementación de nuevos metales como electrodo de compuerta son fundamentales para garantizar la correcta operación de los transistores para nodos sub-10 nm (Lime, 2012).

Además, a fin de realizar el diseño de los CIs, es indispensable desarrollar las herramientas de modelado que permitan reproducir adecuadamente el funcionamiento de los dispositivos. Esto implica entender e incluir diversos fenómenos físicos, tales como fenómenos mecánico-cuánticos (Raj, 2013), presencia de nuevos mecanismos de transporte eléctrico (Elthakeb, 2013), posible variación de las variables físicas de los materiales con las dimensiones nanométricas, entre otros. En el caso particular de los MuGFET, debido a su naturaleza tridimensional, presentan altas resistencias y capacitancias extrínsecas, lo cual degrada fuertemente su desempeño (Crupi, 2013). Por ello, el desarrollo de modelos que permitan una descripción adecuada de los efectos extrínsecos y sus dependencias con la geometría del transistor (Kim, 2013; Pereira, 2015), así como la posibilidad de reducirlos (An, 2014) es un tema actual de investigación.

Finalmente, también es indispensable desarrollar estrategias y metodologías de diseño adecuadas (Mishra, 2011) para estas tecnologías de orden nanométrico.

## REFERENCIAS

- Abbasi, S. A. y Brunnschweiler, A. (1981). Effects of masking oxide on diffusion into silicon. *IEEE Proceedings-I: Solid State and Electron Devices*. 128(5), 185-188.
- Atalla, M.M., Tannenbaum, E. y Scheibner, E. J. (1959). Stabilization of silicon surfaces by thermally grown oxides. *The Bell System Technical Journal*. 38(3), 749-783.
- An, T.Y., Choe, K.-K., Kwon, K.-W., Kim S.Y. (2014). Performance Optimization Study of FinFETs Considering Parasitic Capacitance and Resistance. *Journal of Semiconductor Technology and Science*. 14(5), 525,536.
- Baccarani, G., Wordeman, M. R. y Dennard, R. H. (1984). Generalized scaling theory and its application to a  $\frac{1}{4}$  micrometer MOSFET design. *IEEE Transactions on Electron Devices*, 31(4), 452-462.

- Bhole, M., Kurude, A. y Pawar, S. (2013). FinFET-Benefits, Drawbacks and Challenges. *International Journal of Engineering Sciences & Research Technology*, 2(11), 3219-3222.
- Bondyopadhyay, P. K. (1998). W=Shockley, the transistor pioneer-portrait of an inventive genius. *Proceedings of the IEEE*, 86(1), 191-217.
- Borah, M., Owens, R. M. and Irwin, M. J. (1996). Transistor sizing for low power CMOS circuits. *IEEE Transactions on Computer-aided Design of Integrated Circuits Systems*, 15(6), 665-671.
- Chang-Liao, K.-S. y Chen, L.-C. (1997) Physical and electrical properties in metal-oxide-Si capacitors with various gate electrodes and gate oxides. *Journal of Vacuum Science & Technology B*, 15, 942-947.
- Chatterjee, P. K., Hunter, W. R., Holloway, T. C. y Lin, Y. T. (1980) The impact of scaling laws on the choice of n-channel or p-channel for MOS VLSI. *IEEE Electron Device Letters*, 1(10), 220-223.
- Chau, R., Datta, S., Doczy, M., Doyle, B., Jin, B., Kavalieros, J., Majumdar, A., Metz, M. y Radosavljevic, M. (2005) Benchmarking nanotechnology for high-performance and low-power logic transistor applications. *IEEE Transactions on Nanotechnology*, 4(2), 153-158.
- Chaudhry, A. y Kumar, M. J. (2004) Controlling short-channel effects in deep-submicron SOI MOSFETs for improved reliability: a review. *IEEE Transactions on Device Materials Reliability*, 4(1), 99-109.
- Chen, C.-E. D., Matloubian, M., Sundaresan, R., Mao, B., Wei, C.C. y Pollack, G.P. (1988) Single-transistor latch in SOI MOSFET. *IEEE Electron Device Letters*, 9(12), 636-638.
- Chern, J. G. J., Chang, P., Motta, R. F. and Godinho, N. (1980). A new method to determine MOSFET channel length. *IEEE Electron Device Letters*, 1(9), 170-173.
- Choi, J. H., Mao, Y., Chang, J. P. (2011). Development of hafnium based high-k materials—A review. *Materials Science and Engineering R* 72, 97–136.
- Choi, Y.-K., Chang, L., Ranade, P., Lee, J.-S, Ha, D., Balasubramanian, S., Agarwal, A., Ameen, M., King, T.-J y Bokor, J. (2002). FinFET process refinements for improved mobility and gate work function engineering. *International Electron Devices Meeting*, San Francisco, CA, 259-262.
- Chuang, C.-T., Lu, P.-F y Anderson, C. J. (1998). SOI for digital CMOS VLSI: design considerations and advances. *Proceedings of the IEEE*, 86(4), 689-720.
- Clemens, J. T. (1997) Silicon microelectronics technology. *Bell Labs Technical Journal*, 2(4), 76-102.
- Colinge, J.-P. (2004) Multiple-gate SOI MOSFETs. *Solid-State Electronics*, 48(6), 897-905.
- Colinge, J. P. (2004). *Silicon-on-Insulator Technology: Materials to VLSI*. NY: Springer.
- Colinge, J.-P. (2008). *FinFETs and Other Multi-Gate Transistors*. Springer: Cambridge.
- Colinge, J.-P, Baie, X. y Bayot, V. (1994) Evidence of two-dimensional carrier confinement in thin n-channel SOI gate-all-around (GAA) devices. *IEEE Electron Device Letters*, 15(6), 193-195.
- Crupi, G., Schreurs D. M.M.-P., Raskin J.-P. y Caddemi A. (2013). A comprehensive review on microwave FinFET modeling for progressing beyond the state of art. *Solid-State Electronics*, 80, 81-95.
- Dallmann, D. A. y Shenai, K. (1995). Scaling constraints imposed by self-heating in submicron SOI MOSFET's. *IEEE Transactions on Electron Devices*, 42(3), 489-496.
- Davari, B., Dennard, R. H. y Shahidi, G. G. (1995). CMOS scaling for high performance and low power-the next ten years. *Proceedings of the IEEE*, 83(4), 595-606.
- Dennard, R. H., Gaensslen, F. H., Yu, H.-N., Rideout, V. L., Bassous, E. y Leblanc, A. R. (1974). Design of ion-implanted MOSFET's with very small physical dimensions. *IEEE Journal of Solid-State Circuits*, 9(5), 256-268.
- Elthakeb, A.T., Abd Elhamid, H., Ismail, Y. (2013). Scaling of TG-FinFETs: 3-D Monte Carlo Simulations in the Ballistic and Quasi-Ballistic Regimes. *IEEE Transactions on Electron Devices*, 62(6), 1796-1802.
- Enz, C. (2002). An MOS transistor model for RF IC design valid in all regions of operation. *IEEE Transactions on Microwave Theory and Techniques*. 50(1), 342-359.

- Ernst, T., Tinella, C., Raynaud, C. y Cristoloveanu, S. (2002). Fringing fields in sub-0.1  $\mu\text{m}$  fully depleted SOI MOSFETs: optimization of the device architecture. *Solid-State Electronics*, 46(3), 373-378.
- Ferlet-Cavrois, V., Gasiot, G., Marcandella, C., D'Hose, C., Flament, O., Faynot, O., du Port de Pontcharra, J. y Raynaud, C. (2002). Insights on the transient response of fully and partially depleted SOI technologies under heavy-ion and dose-rate irradiations. *IEEE Transactions on Nuclear Science*, 49(6), 2948-2956.
- Gang, H., Zhaoqi S., Guang, L., Lide Z. (2012). Review and Perspective of Hf-based High-k Gate Dielectrics on Silicon. *Critical Reviews in Solid State and Materials Sciences*, 37, 131-157.
- Garrett, L. S. (1970). Integrated-circuit digital logic families III -ECL and MOS devices. *IEEE Spectrum*, 7(12), 30-42.
- Gregory, B. L. y Shafer, B. D. (1973). Latch-Up in CMOS Integrated Circuits. *IEEE Transactions on Nuclear Science*, 20(6) 293-299.
- Grove, A. S. (1967). *Physics and technology of semiconductor devices*. John Wiley: NY.
- Grove, A. S., Leistiko, O. Jr. y Hooper, W. W. (1967). Effect of surface fields on the breakdown voltage of planar silicon p-n junctions. *IEEE Transactions on Electron Devices*, 14(3), 157-162.
- Hiroki, A., Yamate, A. y Yamada, M. (2008). An analytical MOSFET model including gate voltage dependence of channel length modulation parameter for 20nm CMOS. *International Conference on Electrical and Computer Engineering, Dhaka*, 139-143.
- Hisamoto, D., Kaga, T., Kawamoto, Y. y Takeda, E. (1989). A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET. *International Electron Device Meeting, Washington DC*, 833-836.
- Hofstein, S. R. y Heiman F. P. (1963). The silicon insulated-gate field-effect transistor. *Proceedings of the IEEE*, 51(9), 1190-1202.
- Howes, R., Redman-White, W., Nichols, K.G., Mole, P. J., Robinson, M. J. y Bird, S. (1994). An SOS MOSFET model based on calculation of the surface potential. *IEEE Transactions on Computer-aided Design of Integrated Circuits Systems*, 13(4), 494-506.
- Hsu, S. T. (1978). Electron mobility in SOS films. *IEEE Transactions on Electron Devices*, 25(8), 913-916.
- ITRS (2013). *International Technology Roadmap for Semiconductors*. Recuperado de <http://www.itrs.net/>.
- Itoh, K. (2013). A Historical Review of Low-Power, Low-Voltage Digital MOS Circuits Development. *IEEE Solid-State Circuits Magazine*, 5(1), 27-39.
- Iwai, H. (2009). Roadmap for 22 nm and beyond. *Microelectronic Engineering* 86(6-7), 1520-1528.
- Iwai, H. y Ohmi, S. (2002). Silicon integrated circuit technology from past to future. *Microelectronics Reliability*, 42(4-5), 465-491.
- Kahng, D. (1976). A historical perspective on the development of MOS transistors and related devices. *IEEE Transactions on Electron Devices*, 23(7), 655-657.
- Kahng, D. y Atalla, M. M. (1960). Silicon-silicon dioxide field induced surface devices. *IRE-AIEE Solid-State Device Research Conference, Pittsburgh, PA*.
- Kang, S. M. (1986). Accurate simulation of power dissipation in VLSI circuits. *IEEE Journal Solid-State Circuits*, 21(5), 889-891.
- Kilby, J. S. (1964). Miniaturized electronic circuits. *U.S. Patent 3 138 743*.
- Kilby, J. S. (1976). Invention of the integrated circuit. *IEEE Transactions on Electron Devices*, 23(7), 648-654.
- Kim, D., Kang, Y., Ryu, M., y Kim, Y. (2013). Simple and Accurate Capacitance Modeling of 32nm Multi-fin FinFET. *IEEE Proc. of the International SoC Design Conference (ISOCC), Busan, Korea*, 392-393.
- Lee, C.-W., Yun, S.-R.-N., Park, J.-T y Colinge, J.-P. (2007). Device design guidelines for nano-scale MuGFETs. *Solid-State Electronics*, 51(3), 505.

- Lilienfeld, J. E. (1930). Method and apparatus for controlling electric currents. U.S. Patent 1 745 175.
- Lilienfeld, J. E. (1932). Amplifier for electric currents. U.S. Patent 1 877 140.
- Lilienfeld, J. E. (1933). Device for controlling electric current. U.S. Patent 1 900 018.
- Lima, L. P. B., Moreira, M. A., Diniz, J. A., y Doi, I. (2012). Titanium nitride as promising gate electrode for MOS technology. *Phys. Status Solidi C*, 9, 1427–1430.
- Łukasiak, L. y Jakubowski, A. (2010). History of semiconductors. *Journal of Telecommunications and Information Technology*, 1, 3-9.
- Mayer, D. C., Cole, R. C. y Pollack, G. P. (1991). Determination of back interface state distribution in fully depleted SOI MOSFET. *International Electron Device Meeting*, Washington, DC, 329-332.
- Mead, C. A. (1994). Scaling of MOS technology to submicrometer feature sizes. *Analog Integrated Circuits and Signal Process.* 6(1), 9-25.
- Mishra, P., Muttreja, A., y Jha, N. K. (2011). Finfet circuit design. In *Nanoelectronic Circuit Design*, pp. 23-54. Springer: NY.
- Noyce, R. N. (1961). Semiconductor device and lead structure. U.S. Patent 2 981 877.
- Noyce, R. N. (1968). Making integrated electronics technology work. *IEEE Spectrum*, 5(5), 63-66.
- Ochoa, A., Dawes, W. y Estreich, D. (1979). Latch-Up Control in CMOS Integrated Circuits. *IEEE Transactions on Nuclear Science*, 26(6), 5065-5068.
- Pae, S., Prasad, C., Ramey, S., Thomas, J., Rahman, A., Lu, R., Hicks, J., Batzer, S., Zhao, Q., Hatfield, J., Liu, M., Parker, C., y Woolery, B. (2012). Gate Dielectric TDDDB Characterizations of Advanced High-K and Metal-Gate CMOS Logic Transistor Technology. *Reliability Physics Symposium*, Anaheim, CA, 5C.1.1-5C.1.5.
- Pereira, A.S.N., Giacomini, R., (2015). An accurate closed-expression model for FinFETs parasitic resistance. *Microelectronics Reliability*. 55, 470–480.
- Pfiester, J. R., Shott, J.D. y Meindl, J. D. (1985). Performance limits of CMOS ULSI. *IEEE Transactions on Electron Devices*, 32(2), 333-343.
- Poiroux, T., Vinet, M., Faynot, O., Widiez, J., Lolivier J., Ernst, T. Previtali, B. y Deleonibus, S. (2005). *Microelectronic Engineering*, 80, 378-385.
- Pucel, R. A. (1981). Design Considerations for Monolithic Microwave Circuits. *IEEE Transactions on Microwave Theory and Techniques*, 59(6), 513-534.
- Ragnarsson, L.-Å., Chiarella, T., Togo, M., Schram, T., Absil, P., Hoffmann, T. (2011). Ultrathin EOT high- $\kappa$ /metal gate devices for future technologies: Challenges, achievements and perspectives. *Microelectronic Engineering*, 88(7), 1317–1322.
- Raj, B. (2013). Quantum Mechanical Potential Modeling of FinFET. In *Toward Quantum FinFET* (pp. 81-97). Springer International Publishing.
- Rogenmoser, R. y Kaeslin, H. (1997). The impact of transistor sizing on power efficiency in submicron CMOS circuits. *IEEE Journal of Solid-State Circuits*, 32(7), 1142-1145.
- Roy, K., Mukhopadhyay, S. y Mahmoodi-Meimand, S. H. (2003). Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits. *Proceedings of the IEEE*, 91(2), 305-327.
- Sah, R. L-Y. (1988). Evolution of the MOS transistor-from conception to VLSI. *Proceedings of the IEEE*, 76(10), 1280-1326.
- Sah, R.L-Y. (1988). Evolution of the MOS transistor-from conception to VLSI. *Proceedings of the IEEE*, 76(10), 1280-1326.
- Saha, S. (2001). Design considerations for 25 nm MOSFET devices. *Solid-State Electronics*, 45(10), 1851-1857.
- Schmitz, A. E., Walden, R. H., Larson, L. E., Rosenbaum, S. E., Metzger, R. A., Behnke, J. R. y Macdonald, P. A. (1991). A deep-submicrometer microwave/digital CMOS/SOS technology. *IEEE Electron Device Letters*, 12(1), 16-17.

- Schwank, J. R. (2003). Radiation effects in SOI technologies. *IEEE Transactions on Nuclear Science*, 50(3), 522-538.
- Sekigawa, T. y Hayashi, Y. (1984). Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. *Solid-State Electronics*, 27(8-9), 827-828.
- Seong-Dong, K., Cheol-Min, P. y Woo, J. C. S. (2002). Advanced model and analysis of series resistance for CMOS scaling into nanometer regime. I. Theoretical derivation. *IEEE Transactions on Electron Devices*, 49(3), 457-466.
- Shahidi, G. G., Ning, T. H., Chappell, T. I., Comfort, J. H., Chappell, B. A., Franch, R., Anderson, C. J., Cook, P. W., Schuster, S. E., Rosenfield, M. G., Polcari, M. R., Dennard, R. H. y Davari, B. (1993). SOI for a 1-volt CMOS technology and application to a 512 Kb SRAM with 3.5 ns access time. *International Electron Device Meeting*, Washington DC, 813-816.
- Shockley, W. (1976). The path to the conception of the junction transistor. *IEEE Transactions on Electron Devices*, 23(7), 597-620.
- Subramanian, V., Parvais, B., Borremans, J., Mercha, A., Linten, D., Wambacq, P., Loo, J., Dehan, M., Gustin, C., Collaert, N., Kubicek, S., Lander, R., Hooker, J., Cubaynes, F., Donnay, S., Jurczak, M., Groeseneken, G., Sansen, Willy y Decoutere, S. (2006). Planar Bulk MOSFETs Versus FinFET: An Analog/RF Perspective. *IEEE Transactions on Electron Devices*, 53(12), 3071-3079.
- Suzuki, E., Ishii, K., Kanemaru, S., Maeda, T., Tsutsumi, T., Sekigawa, T., Nagai, K. y Hiroshima, H. (2000). Highly suppressed short-channel effects in ultrathin SOI n-MOSFETs. *IEEE Transactions on Electron Devices*, 47(2), 354-359.
- Suzuki, V., Odagawa, K. y Abe, T. (1973). Clocked CMOS calculator circuitry. *IEEE Journal Solid-State Circuit*, 8(6), 462-469.
- Sze, S. M. (1985). *Physics of Semiconductor Devices*. Wiley: NY.
- Takagi, S., Toriumi, A., Iwase, M. y Tango, H. (1994). On the universality of inversion layer mobility in Si MOSFET: Part I-effects of substrate impurity concentration. *IEEE Transactions on Electron Devices*, 41(12), 2357-2362.
- Tenbroek, B. M., Lee, M. S. L., Redman-White, W., Bunyan, R. J. T., y Uren, M.J. (1996). Self-heating effects in SOI MOSFETs and their measurement by small signal conductance techniques. *IEEE Transactions on Electron Devices*, 43(12), 2240-2248.
- Uyemura, J. P. (2001). *CMOS logic circuit design*, Springer.
- Veendrick, H. J. M. (1984). Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits. *IEEE Journal of Solid-State Circuits*, 19(4), 468-473.
- Wallmark, J. T. (1959). *Field-Effect Transistor*, U.S. Patent 2 900 531.
- Wang, P. P. (1978). Device characteristics of short-channel and narrow-width MOSFET's. *IEEE Transactions on Electron Devices*, 25(7), 779-786.
- Wang, Q.-Y, Nie, J.-P., Yu, F., Liu, Z.-L., y Yu, Y.-H. (2000). Improvement of thin silicon on sapphire (SOS) film materials and device performances by solid phase epitaxy. *Materials Science Engineering: B*, 72(2-3), 189-192.
- Wang, X., Brown, A.R., Binjie Cheng, Asenov, A. (2011). Statistical variability and reliability in nanoscale FinFETs. *International Electron Devices Meeting*, Washington DC, 5.4.1-5.4.4.
- Wanlass, F. M. y Sah, C. T. (1963). Nanowatt logic using field-effect metal-oxide semiconductor triodes. *ISSCC digest of technical papers*, IV, Philadelphia, PA, 32-33.
- Wei, A., Sherony, M. J. y Antoniadis, D. A. (1995). Transient behavior of the kink effect in partially-depleted SOI MOSFET's. *IEEE Electron Device Letters*, 16(11), 494-496.
- Weize, X., Gebara, G., Zaman, J., Gostkowski, M., Nguyen, B., Smith, G., Lewis, D., Cleavelin, C.R., Wise, R., Yu, S., Pas, M., King, T.-J. y Colinge, J.P. (2004). Improvement of FinFET electrical characteristics by hydrogen annealing. *IEEE Electron Device Letters*, 25(8), 541-543.
- Wong, H. e Iwai, H. (2006). On the scaling issues and high- $\kappa$  replacement of ultrathin gate dielectrics for nanoscale MOS transistors. *Microelectronic Engineering*, 83(10), 1867-1904.
- Yamaguchi, K. (1983). A mobility model for carriers in the MOS inversion layer. *IEEE Transactions on Electron Devices*, 30, 658-663.