

Estudio teórico y práctico del régimen de avalancha en los transistores bipolares

José Enrique Eirez - Izquierdo
Fabriciano Rodríguez - González
Ernesto Alejandro López - Cadalso
Yunior Ávila – Vázquez

Recibido: Mayo 2011

Aprobado: Junio 2011

RESUMEN / ABSTRACT

Se realiza un estudio teórico de la zona de ruptura por avalancha de los Transistores Bipolares y la caracterización de los mismos en dichas condiciones extremas de trabajo, para obtener los datos necesarios y de esta manera un criterio de selección, que permitan utilizarlos en un generador de pulsos, basado en la topología del banco de Marx y lograr un funcionamiento adecuado de este, aunque estos transistores no estén diseñados para trabajar en avalancha.

Palabras claves: avalancha, Banco Marx, BJT, *second breakdown*.

PRACTICE AND THEORETICAL STUDY OF THE AVALANCHE MODE OPERATION OF BIPOLAR TRANSISTORS

A theoretical study of the rupture zone by avalanche of Bipolar Junction Transistors is carried out, along with their characterization in these tough conditions. The objective is to obtain the necessary data as well as a criterion of selection to be used in the pulse generator allowing the adequate functioning of a generator, based of the topology known as Marx Bank, due to the fact that these transistors are not designed to work in avalanche.

Key words: avalanche, Marx Bank, BJT, second breakdown.

INTRODUCCIÓN

Hoy en día son cada vez más las aplicaciones que requieren pulsos de Alto Voltaje, en el entorno de los kilovolts y tiempos de duración en el orden de los nanosegundos. Un ejemplo son los sistemas de ajuste de elementos pasivos por pulsos de alto voltaje [1, 2]. También se utilizan estos pulsos en las tecnologías láser, fotografía de alta velocidad y física nuclear [3].

Los pulsos de alto voltaje pueden generarse de varias formas. Muy habitualmente los generadores consisten en bancos de capacitores que se cargan en paralelo, a un mismo voltaje, y se conectan en serie para la descarga, lográndose de esta forma multiplicar varias veces el voltaje de carga. Suelen tener varias etapas y una característica que los diferencia unos de los otros, es el elemento que se utiliza para conectar los capacitores en serie, cuando el circuito se encuentra en la etapa de descarga. Aquí se utilizan transistores bipolares en régimen de avalancha, como elemento de conexión de los capacitores, según el circuito propuesto en la primera mitad del siglo XX por *Erwin Otto Marx*, ingeniero electricista alemán, con el que pueden obtenerse impulsos con crestas de 3600 volts y aun mayores. Esta conexión es conocida como Banco Marx [4].

EL TRANSISTOR BIPOLAR EN REGIMEN DE AVALANCHA

Desde el surgimiento de los transistores bipolares hacia la mitad del siglo XX, estos han sido utilizados ampliamente en multitud de aplicaciones y en tres de sus zonas de operación: región activa, saturación y corte. En cualquier libro de Electrónica [5] se

puede encontrar un estudio y descripción de estas tres zonas de operación; menos conocida es la zona en que el transistor bipolar funciona en régimen de avalancha. Aunque este cuarto régimen fue descrito y estudiado desde la década de los cincuenta [6, 7], ha sido menos utilizado y por eso es casi desconocido. Revisando los programas en el campo de la simulación de circuitos electrónicos, se encuentra que el programa *PSpice* no contempla este régimen, por lo cual no fue posible realizar simulaciones

del circuito de *Marx*. No obstante en la literatura se encuentran intentos de incorporar modelos a este programa para simular los circuitos de avalancha [8].

Un transistor de avalancha es un transistor bipolar diseñado para operar después que se ha alcanzado el voltaje de ruptura de la unión base-colector, en la región conocida como región de ruptura de avalancha y en particular la zona conocida como segunda ruptura. La operación entre corte y esta región permite a los transistores de avalancha conmutar con tiempos de subida y caída del orden de un nanosegundo. Muchos transistores no diseñados para trabajar en régimen de avalancha pueden, no obstante, trabajar aceptablemente en esa región. El fenómeno de la ruptura en avalancha, que interesa ahora, se produce cuando la unión B-C esta polarizada en inversa y sin inyección de portadores desde el emisor (si la unión B-E también está en inversa o con cero voltaje aplicado, o sea, en región de corte) la corriente de colector será I_{co} del orden de los nanoamperes, cuyo crecimiento al aumentar el voltaje inverso B-C es muy poco, pues su valor está limitado por el número muy pequeño de portadores que la conducen. Efectivamente, la corriente inversa I_{co} de la unión colectora es conducida solamente por los portadores minoritarios. No obstante, esta corriente crece exponencialmente con el aumento de la temperatura, al crecer de esta forma la concentración de portadores minoritarios.

Si aumentamos el voltaje base colector, los portadores adquieren más energía, hasta que son capaces de arrancar electrones del retículo cristalino, durante los choques con este. A su vez estos nuevos portadores adquieren la energía necesaria para romper otros enlaces, creciendo el número de portadores de forma muy rápida, en forma de avalancha. La corriente crece fuertemente, se ha producido la ruptura en avalancha de la unión. Si se permite un crecimiento mayor de la corriente ocurre otro fenómeno conocido como segunda ruptura, el voltaje de la unión BC comienza a decrecer en la medida que crece la corriente. La segunda ruptura ocurre porque la distribución de la corriente por el volumen de la base no es uniforme y se concentra en algunos puntos conocidos como "puntos calientes" donde la temperatura se eleva y crece exponencialmente el número de portadores minoritarios generados. Cuando se alcanza este estado ya no se requiere generar portadores por avalancha para mantener la corriente, pues ya se generan térmicamente, por lo cual el voltaje de la unión CB disminuye muy por debajo de V_{CEO} .

En la Figura 1a se muestra un circuito que permite estudiar el régimen de avalancha en el transistor bipolar (6). La resistencia R_B se escoge de modo que el transistor Q esté a corte cuando $V_i = 0$. Cuando el transistor Q está a corte el capacitor C se carga hasta un voltaje cercano a V_{cc} a través de las resistencias R_C y R_L en serie. La constante de tiempo de la carga es $\tau_c = (R_C + R_L) \cdot C$. En la Figura 1(b) aparece la línea de carga. Esta línea de carga es una recta (la inferior) cuyos interceptos están determinados por V_{cc} , R_C y R_L como se observa en esta Figura. Después que el capacitor se carga la corriente por R_C se reduce considerablemente (punto de operación P1 en la Figura 1b) y por R_L no circula corriente alguna. El voltaje de salida V_o es cero. El circuito puede mantenerse en este estado indefinidamente, siempre que el transistor se mantenga en corte. El voltaje V_{cc} se escoge muy próximo al voltaje de ruptura de la unión BC, V_{CEO} . En este punto se cortan la característica voltaje contra corriente (para $V_i = 0$) y la línea de carga del transistor Q. La característica I-V, para bajos voltajes prácticamente coincide con el eje V_{CE} , pues la corriente es despreciable (I_{co}). El transistor está en la región de corte. En la medida que situamos el punto de operación P1 cerca al voltaje de ruptura, la corriente aumenta moderadamente y puede llegar a varios miliamperes. Es interesante notar, que en esta posición de P1, ya no es totalmente válido decir que el transistor está en corte, pero sí está aún en la zona de alta resistencia y baja corriente, no se ha producido todavía la irrupción en la zona de alta corriente ni la disminución de V_{CE} . En la característica se observa después la ruptura en avalancha, cuando se alcanza el voltaje V_{CEO} y al aumentar la corriente, la zona de segunda ruptura caracterizada por el decrecimiento de V_{CE} y el valor negativo de la resistencia y al final la zona de alta corriente, en que la resistencia es de nuevo positiva, pero pequeña y V_{CE} está bastante debajo del voltaje de ruptura.

Cuando se aplica un pulso positivo a la entrada, de amplitud adecuada y ancho de uno o dos nanosegundos, el voltaje de ruptura V_{CEO} baja por debajo del punto P1 y se produce la ruptura con el aumento brusco de la corriente y la disminución del voltaje. Al conducir el transistor fuertemente, se cierra un circuito que permite la descarga del capacitor C, a través de R_L y el transistor Q. Ahora el desplazamiento del punto de operación se va a efectuar sobre una nueva línea de carga, denominada línea de carga para la descarga (Figura 1b). En la Figura 2a se muestra el circuito durante la descarga del capacitor. En la Figura 2b se muestra el circuito equivalente para la descarga del capacitor, válido solamente para $t \ll R_L C$. Se ha sustituido el capacitor por una batería de valor V_{cc} , suponiendo que la disminución del voltaje del capacitor en el tiempo t es despreciable. Como se aprecia de la Figura, en este caso la corriente I_C está integrada por dos componentes: I que circula por R_C y cuyo valor máximo es V_{cc}/R_C , e I_D , de descarga del capacitor y cuyo valor máximo es V_{cc}/R_L , o sea que:

$$I_{C_{MAX}} = \frac{V_{CC}}{R_C} + \frac{V_{CC}}{R_L} = V_{CC} * \left(\frac{1}{R_C} + \frac{1}{R_L} \right) = \frac{V_{CC}}{R_{EQ}} \quad (1)$$

donde R_{EQ} es la resistencia equivalente de conectar R_C y R_L en paralelo (Figura 1b). El otro intercepto de esta línea de carga es V_{CC} para $I_C = 0$.

Como habitualmente $R_L \ll R_C$ la corriente de descarga del capacitor es mucho mayor que la de carga y permite al transistor operar en el régimen de segunda ruptura.

Como se observa en la Figura 1b esta línea de carga intercepta a la característica voltaje corriente en tres puntos. El primero cae en la zona de baja corriente el segundo cae en la zona de resistencia negativa y es inestable y el tercero, P2, está en la zona de alta corriente y es estable. Es aquí donde se establece el punto de operación. La corriente I_D provoca un pulso negativo en la salida $V_o = -I_D * R_L$, cuyo flanco de caída es del orden de un nanosegundo.

Si se hace llegar a la entrada de este circuito un tren de pulsos de frecuencia f , se producirá a la salida otro tren de pulsos como el descrito en el párrafo anterior. Es necesario tener en cuenta que en el transistor Q se disipa una potencia grande en el estado de alta corriente, por lo cual la frecuencia f no puede hacerse demasiado grande, pues puede quemarse el transistor.

MATERIALES Y MÉTODOS

Se caracterizaron 25 transistores bipolares NPN de propósito general (tres BC547, quince BC548B, tres BF199 y cuatro BF310). Como instrumento de medición se empleó el caracteriógrafo XJ4822 *Curve Tracer*, cuyo esquema circuital interno para polarizar los transistores se observa en la Figura 3a.

El equipo ofrece tres terminales (E, C, B) para conectar al transistor bajo prueba. El interruptor (SW), los valores del resistor R_C , de la fuente de voltaje variable V_{CC} y de la fuente de corriente I_B , se ajustan desde el panel frontal del caracteriógrafo. Mediante un cursor, pueden leerse los valores de cada punto de la curva. El equipo está diseñado para obtener las curvas V-I de los transistores en las regiones de corte, activa y saturación, por esta razón cuando el dispositivo se acerca a las zonas de ruptura hay que establecer un procedimiento de medición, el cual no se incluye en el equipo, para obtener las curvas experimentales sin destruir a los transistores.

En este trabajo, los transistores se caracterizaron con la base y el emisor cortocircuitados y esta unión se conectó al terminal E del caracteriógrafo. El colector se conectó al terminal C, mientras que el terminal B quedó libre (Figura 3b). La resistencia R_C siempre se tomó como $1k\Omega$. Una vez ubicado el transistor en el equipo y con el SW cerrado, se incrementa lentamente el valor de V_{CC} porque un cambio brusco puede provocar la rotura del dispositivo debido a la alta disipación de potencia. Cuando comienza a observarse en la pantalla del caracteriógrafo la segunda ruptura, el voltaje de la fuente V_{CC} se mantiene constante. Es necesario desconectar al transistor a través del interruptor y conectarlo durante un breve lapso de tiempo (2 s). De esta manera el dispositivo recibe pulsos de alta voltaje y durante los instantes de desconexión disipa el calor generado por el incremento de la corriente. Las curvas resultantes se fotografiaron con una cámara digital *Kodak EasyShare CX6200* (2 Mega pixels) y se anotaron los valores, de voltaje y corriente, de los puntos notables 1, 2 y 3 correspondientes a las zonas de primera segunda rupturas, ver Figura 3c.

En la Figura 3c se muestra la curva experimental I_C contra V_{CE} de un transistor npn de uso general, el BC548B. La curva se realiza bajo la condición $V_{BE} = 0$ V. Este transistor no fue diseñado especialmente para trabajar en avalancha. Sin embargo en esta Figura puede apreciarse claramente la región de avalancha.

Es apreciable que si se sigue incrementando el voltaje de la fuente V_{CC} , el transistor llegará a la segunda avalancha, marcada en el gráfico como punto 3. Este comportamiento se corresponde con los modelos teóricos ya que el valor del V_{CE} tiende a cero mientras que la I_C va creciendo infinitamente.

En la Tabla 1 se reportan los valores experimentales con los seis dispositivos que alcanzaron exitosamente la zona de segunda avalancha (6 transistores). La variación en los valores de V_{CC} aplicados a cada transistor se debe a las características propias de cada.

En los cuatro últimos se obtiene como promedio para el punto 1, $I_c=25,1\pm 7,7$ mA, $V_{ce}=156\pm 12,7$ V. Para el punto 2 $I_c=73.75\pm 14,56$ mA, $V_{ce}=23\pm 7,7$ V. Para el punto 3 $I_c=133\pm 13,2$ mA, $V_{ce}=9,7\pm 0,6$ V.

El trazo inferior de la curva corresponde a la zona de alta resistencia y baja corriente, donde el punto 1, es el voltaje de ruptura que puede apreciarse alrededor de 165 volts. No es posible apreciar la corriente, en esta zona, para valores bajos del voltaje, pues es muy baja para la escala utilizada. En la hoja de datos del transistor BC548 se establece el valor de la corriente inversa de la unión BC, con el emisor abierto, I_{CBO} para 25° Celsius y 30 volts como 15 nA. En el punto final de la zona, comprendida entre el

punto 1 y el 2 (punto de ruptura), la corriente ha aumentado y se puede estimar en aproximadamente 25 mA, en esta zona se aprecia que la curva tiene una pendiente menor, que su similar en la zona de segunda ruptura. A continuación viene la región de segunda ruptura y alta corriente, alrededor de 80 mA, tramo entre el punto 2 y el 3, caracterizada por tener una pequeña resistencia negativa, en que el voltaje baja mientras la corriente sube fuertemente, ver tabla 1. Dicha resistencia se calcula mediante la ley de ohm como $r_d = \Delta V / \Delta I$, entre dos puntos de la gráfica, obtendríamos un valor negativo en ohms, ya que ΔI , es la diferencia entre el valor final de la corriente y el valor inicial de la misma, es positivo, debido a que la corriente se mantiene aumentando a medida que el transistor se acerca a la zona de segunda ruptura, pero ΔV , que es la diferencia entre el valor final de la tensión y el valor inicial de la misma, es negativo, debido a que la tensión va disminuyendo a medida que el transistor se acerca a la zona de segunda ruptura. Esta resistencia entre los puntos 1 y 2 es mayor que entre los puntos 2 y 3, lo cual indica, un cambio

n la pendiente de la curva, a partir del punto 2 evidenciándose de esta manera que el transistor se encuentra en la zona de segunda ruptura.

El trazo que se extingue entre 1 y 2, reaparece en la parte final de la zona de resistencia negativa, en que el recorrido del haz electrónico es más lento. El aumento de la corriente hay que detenerlo pues la potencia que se disipa puede dañar al transistor.

Los resultados experimentales muestran que, los transistores que no se rompieron mostraron un comportamiento similar. Ninguno de estos transistores fueron diseñados específicamente para trabajar en régimen de segunda avalancha y algunos de ellos soportaron el alto voltaje al que fueron sometidos durante un tiempo muy grande en comparación con el tiempo de descarga del Banco Marx.

PRINCIPIO DE OPERACIÓN DEL BANCO MARX

En la Figura 4 se muestra el circuito propuesto por Marx. Un número n de capacitores se carga al voltaje de carga V_{cc} (*charge voltage* en la Figura) a través de las resistencias R_c y después son conectados en serie, para la descarga, por los explosores de esferas (*spark gap switch*) que aparecen en la Figura.

Se trata de dos esferas metálicas, como se puede ver a la izquierda de la Figura 5, situadas a corta distancia una de otra, y entre las cuales se establece la conexión eléctrica a través de un arco eléctrico que salta entre ellas (ver en la parte derecha de la Figura 5). Algo parecido a las bujías encargadas de proporcionar la chispa en los motores de combustión interna.

El voltaje que se obtiene a la salida es cercano y algo menor que el voltaje de carga, V_{cc} , multiplicado por el número n de capacitores (o etapas). Cuando todos los capacitores se han cargado, por ninguna rama del circuito circula corriente. A cada explosor está aplicado un voltaje V_{cc} , mantenido por cada uno de los capacitores cargados y a través de las resistencias R_c , inferiores. Este voltaje no es suficiente para producir la chispa entre ellos. Mientras no aparezca un sobre voltaje que dispare los explosores, el circuito permanecerá en estas condiciones indefinidamente.

En la Figura 6 se muestra el banco en las condiciones de disparo de los explosores. Note que todas las esferas de la izquierda de los explosores se encuentran inicialmente a un voltaje $+V_{cc}$ con respecto a tierra y las de la derecha se encuentran inicialmente a potencial de tierra. Si se aplica otra fuente independiente de voltaje negativo $-V_{tr}$ con respecto a tierra a la esfera derecha del primer explosor, instantáneamente se produce una corriente V_{tr}/R_c , en la primera resistencia R_c de la izquierda abajo, cuyo terminal izquierdo está conectado a tierra. Sigue sin circular corriente por las demás ramas del circuito, pues no hay ninguna otra R_c conectada a tierra. El voltaje V_{tr} se propaga a todas las esferas derechas de todos los explosores, excepto el que conecta la resistencia de carga (último de la derecha en la Figura 6).

Ahora el voltaje aplicado a los explosores será modularmente $V_{tr} + V_{cc}$, si, aumentando V_{tr} , se hace este voltaje mayor que el voltaje de disparo de los explosores saltará el arco eléctrico en todos los ellos a la vez, excepto el que conecta la carga. Entonces circulará una corriente de descarga por todos los capacitores, que estarán conectados en serie. El voltaje en el terminal superior del último capacitor de la derecha en Figura 6 será aproximadamente nV_{cc} , que debe ser suficiente para provocar el disparo del explosor que conecta la resistencia de carga, por la cual circulará la corriente de descarga, produciéndose en ella el pulso de salida de alto voltaje y del orden de los nanosegundos.

BANCO DE MARX CON TRANSISTORES DE AVALANCHA

El uso de los explosores de esfera para conectar los capacitores en serie en el banco de Marx tiene la desventaja de que se requiere otra fuente, independiente a la de alimentación, para disparar los explosores. El surgimiento de los dispositivos semiconductores permitió un mayor tiempo de vida y mejor confiabilidad, en la conexión de los capacitores. Los transistores de avalancha han sustituido a los explosores en el banco de Marx.

En la Figura 7, aparece el esquema eléctrico de un Banco de Marx, que utiliza transistores bipolares operando entre corte y avalancha, como elemento de conexión. Está formado por cinco etapas, cada una de las cuales opera en forma similar al circuito

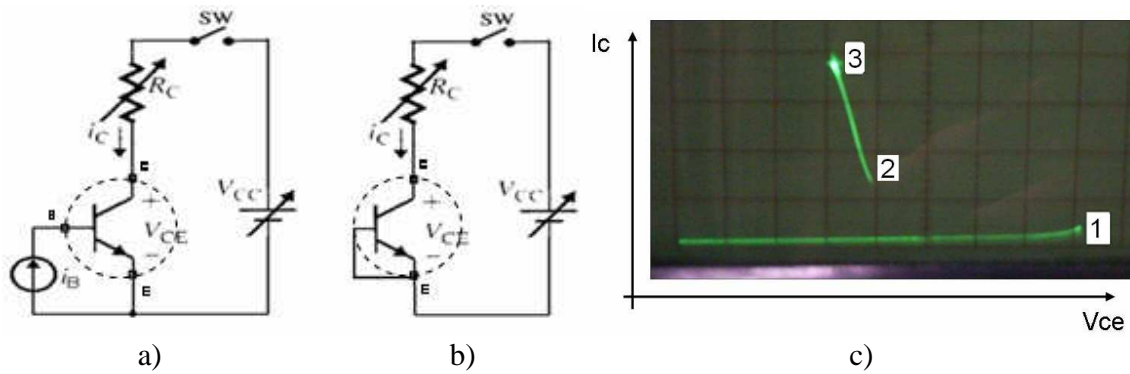


Figura 3. a) Circuito de caracterización del equipo XJ4822 *Curve Tracer* incluyendo al transistor que se evalúa, b) Conexión para caracterizar las zonas de ruptura, c) Característica V-I obtenida para un transistor bipolar BC548B, polarizado en inversa y con su base y emisor cortocircuitados. Eje X [20V/división], eje Y [20mA/división].

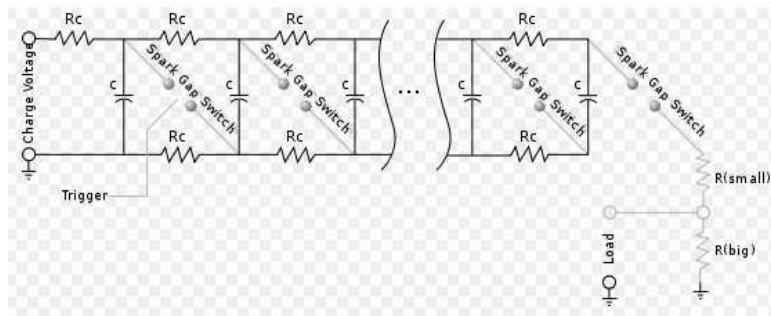


Figura 4.- Banco Marx con explosores.



Figura 5: Explosor de esferas o *Spark gap* y banco de *Marx* construido con ellos, mostrando el momento en que salta el arco.

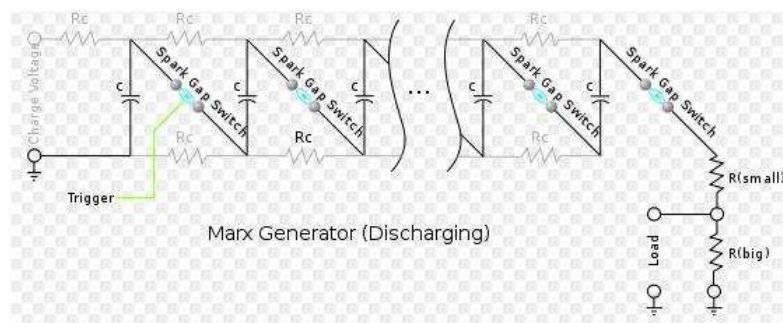


Figura 6: Banco Marx durante la descarga de los capacitores.

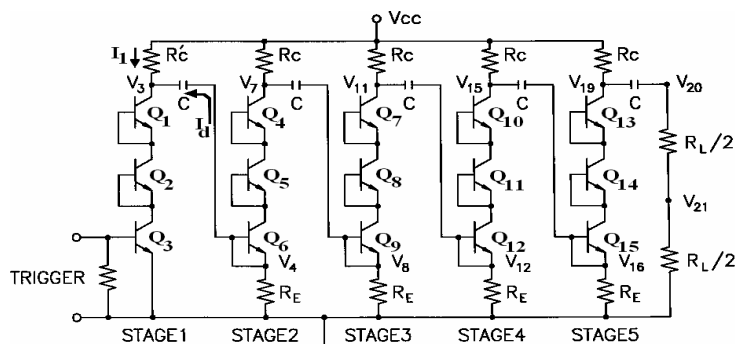


Figura 7: Circuito de Banco Marx de 5 etapas.

Tabla 1: Resultados experimentales.

Transistor	V_{CC} [V] $R_C=1k\Omega$	Punto 1		Punto 2		Punto 3		Puntos 2 y 3	Puntos 1 y 2
		I_C [mA]	V_{CE} [V]	I_C [mA]	V_{CE} [V]	I_C [mA]	V_{CE} [V]	rd(Ω)	rd(Ω)
BC548B	176	7,2	160,8	25	78	76,8	63,2	-0,2857	-4,6527
BC548B	164,8	2,4	156	6	90	55,2	79,2	-0,2195	-18,3333
BF 310	182	28	146	68	30	124	10	-0,3571	-2,9000
BF 310	180	30	144	70	25	124	10	-0,2778	-2,9750
BC547	190	13,6	166	95	25	152	10	-0,2632	-1,7322
BF199	210	28,8	168	62	12	132	8,8	-0,0457	-4,6988

REFERENCIAS

1. GU BO; CHASE PAUL; MEZACK GARY; COUCH BRUCE; LENTO JOE; CHU YUN. Advanced resistor trimming, Industrial Laser Solutions, June 2007, www.industriai-lasers.com
2. Y, SRINIVASA RAO; M, SATYAM. Downward Trimming of Polymer Thick Film Resistors through High Voltage Pulses, The International Journal of Microcircuits and Electronic Packaging, Volume 24, Number 4, Fourth Quarter, 2001 (ISSN 1063-1674)
3. LIU, JINYUAN; SHAN, BING; CHANG ZENGHU. High voltage fast ramp pulse generation using avalanche transistor, Review of Scientific Instruments volume 69, number 8 august 1998.
4. AMITABH, CHATTERJEE; KANAD, MALLIK; S. M. OAK. The principle of operation of the avalanche transistor-based Marx bank circuit: A new perspective, Review of Scientific Instruments, volume 69, number 5, may 1998.
5. JACOB, MILLMAN; ARVIN, GRABEL. Microelectrónica, sexta edición, 1ra. reimpresión: Junio 1993, 2da. reimpresión: Octubre, 1995.

José Enrique Eirez-Izquierdo, Fabriciano Rodríguez-González, Ernesto Alejandro López-Cadalso, Yunior Ávila Vázquez

6. **EBERS, J. J; MILLER, S. L.** (1955). Alloyed Junction Avalanche Transistors (abstract here (<http://crinklydoodle.com/bstj/papers.php>)). Bell System Technical Journal 4:883. The first paper analyzing the use of bipolar junction transistors in the avalanche region.
7. **MILLMAN, J; TAUB, H.** Pulse and Digital Switching Waveform, Edición Revolucionaria, 1968.
8. **MATTHIAS, RICKELT; Student Member, IEEE; HANS-MARTIN, REIN, Fellow, IEEE.** A Novel Transistor Model for Simulating Avalanche-Breakdown Effects in Si Bipolar Circuits, IEEE Journal of Solid-State Circuits, vol. 37, no. 9, September 2002.

AUTORES

José Enrique Eirez Izquierdo

Ingeniero Automático, Instructor, Centro de Investigaciones en Microelectrónica (CI μ E), telef. 2663050, y en docencia, ha impartido conferencias y clases prácticas en Circuitos Eléctricos 1 y en Circuitos Eléctricos 2. En la investigación se encuentra cursando la tercera edición de la maestría titulada: Diseño de Sistemas Electrónicos, del CI μ E).
e-mail: joseenrique.ei@electrica.cujae.edu.cu

Fabriciano Rodríguez González

Dr. en Ciencias Técnicas, Profesor Titular, Profesor Consultante, Investigador Titular. Ha trabajado durante más de 40 años en la docencia de Física General y Electrónica y en la investigación en Microelectrónica,
e-mail: fabriciano.rodriguez@electrica.cujae.edu.cu

Ernesto Alejandro López Cadalso

estudiantes de segundo año de telecomunicaciones, alumnos ayudantes tanto de docencia como de investigación,
e-mail: elopezc@feestudiantes.cujae.edu.cu

Yunior Ávila Vázquez

estudiantes de segundo año de telecomunicaciones, alumnos ayudantes tanto de docencia como de investigación,
e-mail: yavilav@feestudiantes.cujae.edu.cu, .