

Optimización del Análisis de Falla de Tarjetas Electrónicas con Seis Sigma

Optimization of the Failure Analysis for Electronic Cards with Six Sigma

Investigación

Ing. Sergio Ramos-Lara

Posgrado CIATEQ, A.C. Av. Nudo Servidor Público #165 Col. Anexa al Club de Golf, Las Lomas,
45131 Zapopan, Jal., México, Teléfono: (331) 121 72 12 EXT 4411, email: serginra@gmail.com

Resumen

Este artículo presenta la aplicación de la metodología de Seis Sigma para la investigación e identificación de los defectos que generaron fallas funcionales en tarjetas electrónicas para telecomunicaciones. Dichas tarjetas fueron retornadas a una planta de manufactura para el diagnóstico de la falla. Utilizando la metodología de Seis Sigma, análisis estadístico, diseño de experimentos y una microscopía de componente, -una técnica de laboratorio que analiza la morfología de materiales sólidos-, se identifican los principales detractores que generan la mayor cantidad de averías y retornos del cliente. Al obtener esta identificación la investigación se torna en la corrección del defecto y la disminución de la falla principal causada por fallas de LED que representa el 15.24% de defectivo y que genera un alto inventario de tarjetas retornadas a la fábrica, propiciando que el tiempo de ciclo empleado en las operaciones involucradas en el análisis de falla sea un promedio de 30 días. Debido a este problema la fábrica ha establecido un objetivo de 15 días de tiempo de ciclo, para que una tarjeta sea diagnosticada y reparada y un 0.5% de defectivo generado en la línea de producción para las fallas de LED.

Palabras clave: Fallas, Seis Sigma, Causa raíz.

Abstract

This article presents the application of Six Sigma methodology for the investigation and identification of defects that generated functional failures in electronic cards for telecommunications, that were returned to the manufacturing plant for diagnose of a failure. Through Six Sigma methodology, statistical analysis, design of experiments and component microscopy which is a lab technique that analyzes the morphology of solid materials, the main detractors that generate most of the failure and customer returns are identified. Upon obtaining this identification the investigation turns into the correction of the defect and the reduction of the main failure caused by faulty LED issues, that represents 15.24% of defective and generates a high inventory of returned cards to the factory, causing that

cycle time from the involved operations on the failure analysis process resulted in an average of 30 days. Due to this situation the factory has implemented a 15 days cycle time target for a card to be diagnosed and repaired and 0.5% of defective for LED failures.

Keywords: Failure, Six Sigma, root cause.

Introducción

La metodología de Seis Sigma ha sido adoptada mundialmente para mejorar la satisfacción del cliente, calidad del producto y confiabilidad. En esta investigación se muestra la aplicación de esta metodología para optimizar el tiempo de ciclo empleado en el análisis de fallas de tarjetas electrónicas usadas en las telecomunicaciones y que retornan a la fábrica por que han presentado un problema con el cliente; esto mediante la identificación de los principales detractores que afectan el pronto diagnóstico de las tarjetas y la rápida identificación de la causa raíz de la falla. Mediante esta mejora se obtienen beneficios adicionales como la retroalimentación más fluida al cliente sobre la falla ocurrida en sus sistemas, así como la corrección y reducción de las fallas en la línea de manufactura y la identificación de componentes defectuosos ensamblados en el producto, que pudieran estar generando fallas crónicas e incrementando significativamente los inventarios de tarjetas en reparación.

La fábrica enfrenta frecuentes quejas de calidad dirigidas a las gerencias por parte del departamento de calidad y soporte al cliente y del cliente mismo, al no recibir a tiempo la causa raíz de la falla que experimentó en su sistema y por ende la falla continúa presentándose repetitivamente al no existir una solución inmediata del problema o corrección en las líneas de producción.

El tiempo de ciclo que tarda el análisis de las fallas en la línea de reparación es cercano a los 30 días lo cual está muy por arriba del objetivo fijado por la fábrica que es de un máximo de 15 días calendario (ver Figura 1).

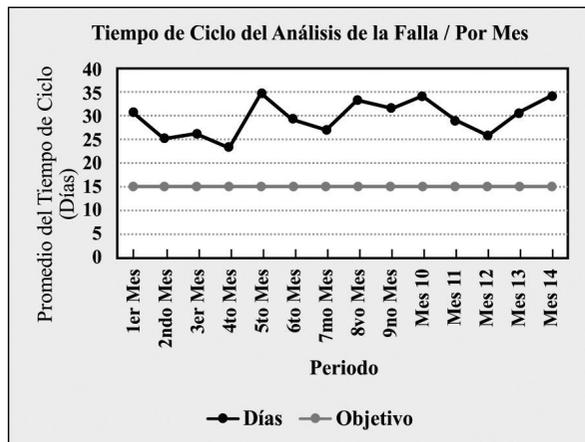


Figura 1. Tiempo de ciclo empleado para el análisis de las fallas durante los últimos diez meses.

Fundamentos teóricos

La metodología de calidad Seis Sigma es una metodología basada en el manejo y análisis de datos para reducir los defectos en los procesos de manufactura; la base principal de la metodología de Seis Sigma es que, si es posible medir cuántos defectos o fallas se generan en un proceso es también posible encontrar formas sistemáticas para eliminarlos. En términos estadísticos la variabilidad o sigma (σ) de un proceso que es cercanamente perfecto con el 99.99966% de eficiencia es tan pequeña que hay seis desviaciones estándar entre la media de calidad del proceso y el nivel de calidad que reciben los clientes en sus tarjetas electrónicas desde la planta de producción, basado en los límites de sus especificaciones de producto.

En términos prácticos Sigma es una medida del número de veces que un proceso resulta defectuoso o falla en un millón de iteraciones o unidades de salida, así que entre más grande sea el número de sigma habrá menos defectos en el proceso de manufactura, siendo un valor de Seis Sigma equivalente a 3.4 defectos por millón de iteraciones. Se dice que la tasa promedio de defectos de un proceso en muchas de las compañías de manufactura electrónica tienen aproximadamente 4 sigmas o 6,000 defectos por millón [2]. Ahora bien, para alcanzar el nivel de calidad Seis Sigma, un proceso no debe producir más de 3.4 defectos por millón de iteraciones siendo este el objetivo a lograr por muchas de las manufactureras de los productos electrónicos. Los estudios de mejora de procesos con Seis Sigma se centran en usar una metodología de solución de problemas llamada DMAIC (siglas en inglés) que se divide en 5 fases, las cuales se listan a continuación y fueron implementadas [2].

1. (D) Definir: Definición del problema, requerimientos de los clientes, objetivos, métricas y meta.

2. (M) Medir: Medición de defectos y documentación del proceso.
3. (A) Analizar: Análisis de datos de proceso y encuentro de factores vitales que afectan la respuesta deseada del proceso.
4. (I) Mejorar: Implementación de mejoras de proceso y eliminación de las causas de los defectos y problemas.
5. (C) Controlar: Control del desempeño del proceso y aseguramiento de que los defectos y problemas no ocurrirán de nuevo.

Una tarjeta electrónica generalmente consiste en una o más unidades compuestas de circuitos impreso con una integración de componentes electrónicos a gran escala. Los pasos requeridos para fabricar un sistema electrónico se ilustran en la Figura 2 y son susceptibles a defectos de fabricación; por lo tanto, se requieren pruebas en estas etapas para verificar que el producto final está libre de fallas eléctricas funcionales.

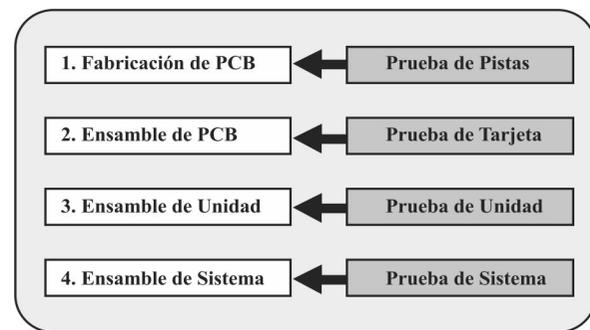


Figura 2. Pasos para la fabricación de una tarjeta electrónica [1]

Sin embargo, en la fabricación electrónica es esperado que algún porcentaje de las unidades fabricadas fallen debido a los defectos de fabricación. El rendimiento de un proceso de fabricación se define como el porcentaje de partes aceptables (buenas) entre total de las partes que se fabrican. Hay dos tipos de pérdida de rendimiento que son el catastrófico y el paramétrico; la pérdida de rendimiento catastrófico se debe a defectos aleatorios y la pérdida de rendimiento paramétrico se debe a las variaciones del proceso. La automatización y mejoras en una línea del proceso de fabricación reducen la densidad de elementos que crean defectos de manufactura en el producto y que son aleatorios a lo largo del tiempo debido a errores de operación o variables de especificación fuera de tolerancias, principalmente en procesos manuales de fabricación; por consiguiente, las variaciones paramétricas debidas a las fluctuaciones del proceso se convierten en la razón principal de la pérdida de rendimiento.

Durante las pruebas pueden ocurrir las siguientes dos situaciones indeseables: 1. Una parte defectuosa parece ser una parte buena al pasar la prueba. 2. Una parte buena falla la prueba y aparece como defectuosa. Estos dos resultados a menudo se deben a una prueba mal diseñada o a la falta de capacidad de prueba de los equipos. Como resultado del primer caso, aunque todos los productos hayan pasado la prueba, algunos componentes defectuosos se encontrarán en el sistema electrónico fabricado y cuando estos componentes defectuosos se devuelven al fabricante del componente se someten a un análisis de falla en el laboratorio para posibles mejoras en los procesos de desarrollo y la fabricación.

La relación de las partes rechazadas entre todas las partes que pasaron la prueba de aseguramiento de calidad es conocida como el índice de rechazo o también llamada nivel de defectivo. Los sistemas de telecomunicaciones por regla de calidad requieren tener disponibilidad del sistema de 0.9999 [14] esto significa que es necesario realizar pruebas para garantizar la disponibilidad del sistema; estas pruebas pueden ser en línea o pruebas fuera de línea o una combinación de ambos. La prueba en línea es realizada simultáneamente con la operación normal del sistema para detectar fallas lo más rápido posible. Las pruebas sin conexión requieren que el sistema o una parte del sistema esté fuera de servicio para realizar la prueba. Estas pruebas fuera de línea se realizan periódicamente y generalmente durante períodos de baja demanda de operación del sistema. En muchos casos, cuando las pruebas en línea detectan una falla, las técnicas de prueba fuera de línea son usadas para el diagnóstico (ubicación e identificación) de la falla del componente reemplazable, que es la causa raíz de la falla del sistema. Cuando el sistema ha sido reparado por el reemplazo del componente, una parte del mismo se vuelve a probar utilizando técnicas sin conexión para verificar que la reparación fue exitosa antes de volver a poner el sistema en servicio para una operación normal. Los componentes defectuosos reemplazados durante la reparación de la tarjeta se envían a la fábrica o a un lugar dedicado para la reparación donde se efectúan pruebas adicionales y se realiza el diagnóstico de la falla que generalmente consiste en pruebas a nivel placa de circuito impreso (PCB ó Printed Circuit Board) que son similares a las efectuadas durante la manufactura de la misma.

El objetivo en este caso es determinar la ubicación de los dispositivos y componentes defectuosos en el PCB para su reemplazo y reparación. El PCB se vuelve a probar para verificar si la reparación fue exitosa antes del regreso de la unidad al campo para su

uso como una parte de repuesto y de reemplazo para futuras reparaciones del sistema. Este escenario de prueba, diagnóstico y reparación de la tarjeta es viable sólo cuando es rentable la reparación principalmente en unidades caras o que el cliente necesita conocer la causa raíz que le ocasionó la caída de su sistema.

Materiales y métodos

La investigación de mejora se desarrolla mediante un mecanismo de control de ciclo cerrado con el objetivo de desplegar iniciativas de alta confiabilidad en el proceso de Análisis de Falla. El modelo que se propuso consta de seis componentes conectados entre sí directa o indirectamente formando un mecanismo de despliegue de la confiabilidad Seis Sigma [3]:

1. Satisfacción al Cliente (Definir)
2. Formar equipos Multifuncionales (Definir)
3. Obtener datos de tarjetas defectuosas (Medir)
4. Análisis de Causa Raíz (Medir y Analizar)
5. Toma de decisiones (Mejorar)
6. Monitoreo y Documentación (Control)

Fase de Definición

Satisfacción al Cliente: La satisfacción al cliente es el generador principal de esta investigación y puede ser definida en términos del porcentaje anticipado de las fallas fuera de caja o bien el tiempo medio entre fallas. Es muy claro que los clientes pueden enfrentar grandes pérdidas cuando su sistema de telecomunicaciones experimenta interrupciones.

Así que otro factor importante a considerar en la satisfacción del cliente es el retorno de sus tarjetas defectuosas a la fábrica, esperando un diagnóstico y reparación de la tarjeta en un tiempo considerable establecido a no mayor de 30 días, incluyendo tiempo de logística y de reparación, siendo el tiempo de reparación el enfoque principal de este análisis el cual está establecido como 15 días máximo para dar la respuesta al cliente sobre la falla experimentada en su sistema.

Formación de Equipos Multifuncionales: Para el éxito de la investigación con la metodología de Seis Sigma se definió el equipo de trabajo multifuncional con expertos de diferentes áreas como Calidad, Pruebas, Materiales y control de Producto, considerando también la inclusión de técnicos de manufactura que proporcionan sus habilidades y conocimientos prácticos para generación de soluciones. Se elabora un planteamiento del problema o situación actual y su oportunidad de mejora, así como la definición de los objetivos; se establece también un cronograma general

con las fechas de inicio y finalización de las fases. En esta etapa también fue posible evaluar el impacto financiero del problema y su posible solución, sin embargo, el equipo se enfocó a analizar el porcentaje defectivo para llegar a una mejora de calidad y consecuentemente a la disminución de unidades defectuosas que impactan los tiempos de ciclo de reparación, al haber un inventario excesivo. Como investigación de mejora de Seis Sigma el problema a solucionar debe enfocarse con la ecuación $Y = f(x)$, o sea $Y=f(x_1, x_2, x_3, \dots)$ [4] donde esta función define la relación entre una variable dependiente Y y las variables independientes x s. Para esta mejora la variable dependiente es el tiempo del Análisis de la Falla que tarda una tarjeta electrónica en obtener la causa raíz que le dio origen a la falla, por la que retornó a reparación. Las variables independientes x s serán el resultado del desarrollo y ejecución de la investigación.

Fase de Medición:

Capacidad del Proceso: Durante la fase de Medir se le dio como enfoque principal al comportamiento de los tiempos de análisis de fallas registrados en un año, obteniendo un tiempo empleado en promedio de 29.53 días. Del mismo modo la estadística básica se emplea para obtener la distribución y capacidad del proceso de análisis de falla donde se observa un descontrol estadístico y un desempeño pobre en base a los límites fijados para el proceso en análisis (ver Figura 3). Se han calculado diversos índices de capacidad para resumir la comparación entre la distribución ajustada y las especificaciones [5].

Distribución: Normal

Tamaño de la muestra = 652

Media = 29.5331

Desv. Est. = 19.6903

6.0 Límites Sigma

+3.0 sigma = 88.6041

-3.0 sigma = -29.5379

Índices de Capacidad del Proceso

Límites de Especificación: LSE =15.0, LIE = 0.0

Capacidad a largo plazo:

Cp/Pp (Process Performance Index) = 0.126966

Cpk/Ppk (Process Capability Index) = -0.246028

DPM (Defects Per Million) = 836592

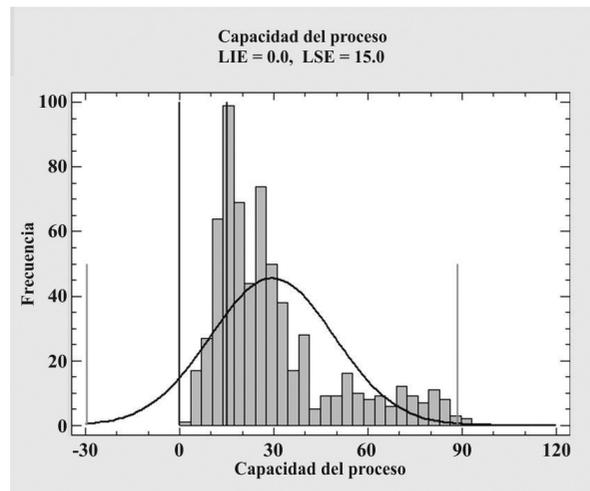


Figura 3. Capacidad de Proceso análisis de falla.

Un índice común es el Pp que, en el caso de una distribución normal es igual a la distancia entre los límites de especificación dividida entre 6 veces la desviación estándar. En este caso el Pp es igual a 0.126966 el cual generalmente no se considera bueno. Ppk es un índice de capacidad unilateral el cual en el caso de una distribución normal divide la distancia de la media al límite de especificación más cercano entre 3 veces la desviación estándar. En este caso el Ppk es igual a -0.246028. La diferencia tan grande entre el Pp y el Ppk es un signo de que la distribución no está bien centrada en base a los límites de especificación. Puesto que los índices de capacidad son estadísticos, estos pueden variar de una muestra de datos a otra. En esta fase se observa la necesidad de mejorar el índice de la capacidad de proceso a un mínimo de 1.33 Cpk [6].

Mapeo del proceso: Se realizó un mapeo del proceso de reparación y análisis de falla de principio a fin, con sus pasos y operaciones para tener una clara identificación de cómo trabajan y cuáles son las que consumen mayor tiempo en el proceso, para poder enfocarnos en estas e identificar los problemas que las afectan. El mapeo del proceso se dividió en cuatro secciones críticas las cuales fueron las siguientes.

a. Operaciones de recepción de las tarjetas en el almacén: Estas son las operaciones que están relacionadas con la recepción de las tarjetas que llegan a reparación al almacén de recibo y que son transferidas al piso de reparación en la fábrica para su diagnóstico.

b. Operaciones en el piso de reparación: Son las operaciones de diagnóstico y prueba que se realizan en el piso de reparación.

c. Proceso de componentes: Este proceso involucra el reemplazo de los componentes que sean diagnosticados con falla o defectuosos, incluyendo su compra si no

están en existencia en el almacén de componentes de la fábrica.

d. Resultados de la investigación/Causa raíz: Se relaciona con los resultados finales de la investigación o si la falla de la tarjeta no fue reproducida en la fábrica. Después de realizar el mapeo del proceso de análisis de fallas, se caracterizaron las operaciones involucradas en dicho flujo basándose en los datos históricos recabados en el sistema de colección de datos de la planta, obteniendo así el tiempo que ha sido utilizado en cada operación para realizar las actividades propias de la operación. Una vez obtenido el mapeo del proceso se puso en análisis con el equipo multifuncional discutiendo los tiempos obtenidos y se optó por concentrar los esfuerzos de mejora en la operación con mayor contribución al proceso de Análisis de Falla, siendo este detractor el relacionado con los casos de diagnóstico extendido y fallas crónicas con una contribución del 50.76%.

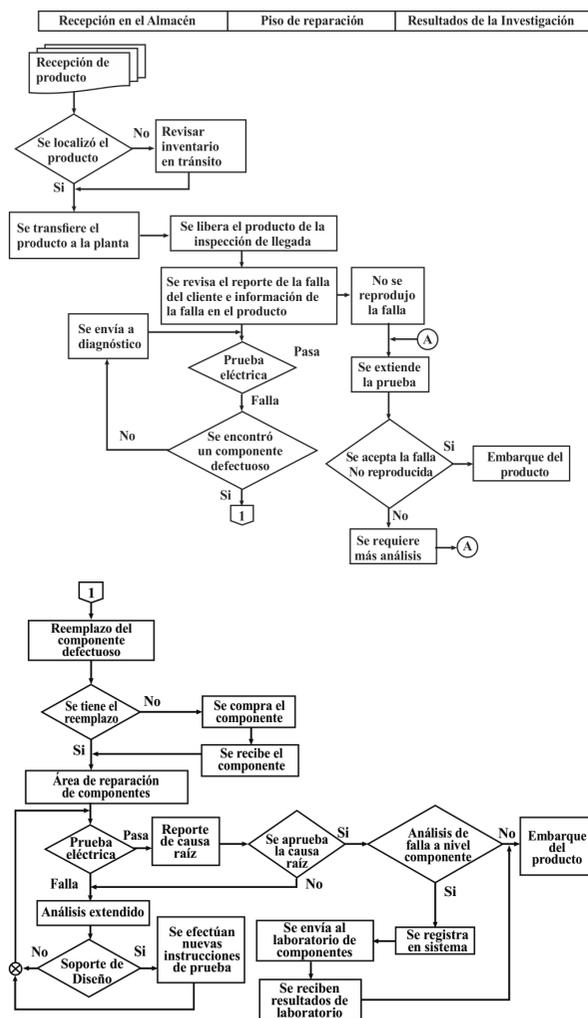


Figura 4. Mapeos del proceso de reparación y análisis de falla.

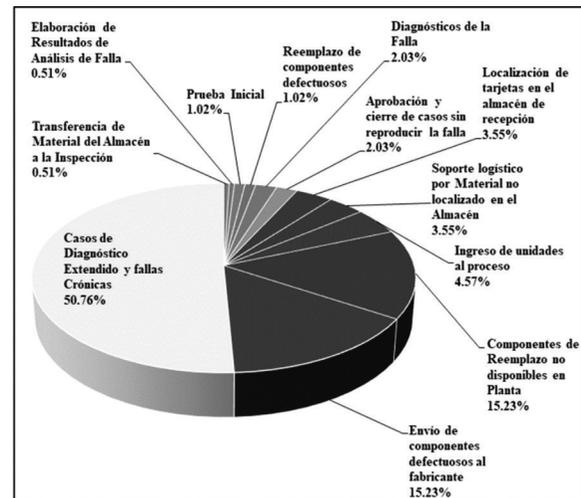


Figura 5. Detractors del tiempo de análisis de falla.

Diagrama causa-efecto (Ishikawa): En esta fase se realizó un análisis detallado del proceso y se construyó un diagrama causa-efecto (Ishikawa) mediante una lluvia de ideas del equipo de trabajo con la finalidad de identificar las variables que pudieran estar generando los casos de diagnóstico extendido y fallas crónicas (Figura 6)

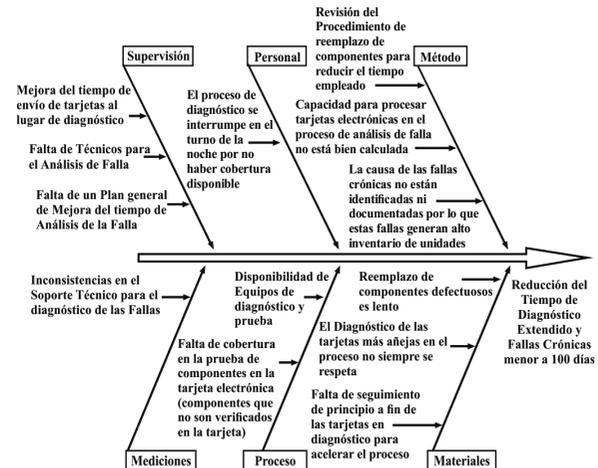


Figura 6. Diagrama Causa-efecto para casos de diagnóstico extendido y fallas crónicas.

Una vez completado el Diagrama Causa – Efecto se procedió mediante una discusión en equipo y el análisis a fondo de las posibles causas que afectan este detractor a ponderar todas las causas del Diagrama Causa – Efecto. La variable a considerar en el estudio causal es aquella con mayor peso, la cual resultó ser la que forma parte de la categoría de los Métodos y que indica que “Las causas de las fallas crónicas de las unidades no están identificadas ni documentadas para su corrección”, contribuyendo éstas en mayor proporción a generar un alto nivel de inventario de unidades de diagnóstico y reparación” afectando

el tiempo del análisis de las fallas o de diagnóstico extendido.

Clasificación de los defectos crónicos: Con el análisis de la población de tarjetas electrónicas defectuosas que llegaron del cliente para investigación durante un periodo de seis meses, se logró identificar en base a los resultados del análisis de falla las principales fallas crónicas o con mayor recurrencia detectada, las cuales servirán como dato inicial para realizar corridas controladas en el proceso de fabricación correspondiente para averiguar las causas de las fallas.

Tabla 1. Principales fallas crónicas (reparación)

Falla	Cant.	% Accu	Contribución
LED No enciende	96	23.08%	23.1%
Interruptor dañado	82	42.79%	19.7%
Fallas de PCB	77	61.30%	18.5%
Cosmética	47	72.60%	11.3%
ICs dañados	44	83.17%	10.6%
Fallas mecánicas	40	92.79%	9.6%
Sin falla	30	100.00%	7.2%

Fase Analizar:

Se llevó a cabo un diseño de experimentos mediante una corrida controlada en la línea de producción con un lote de producción corto, limitado y seleccionado aleatoriamente que caracterizó las fallas principales identificadas obteniendo información valiosa y una importante visión del problema que ha sido pasado por alto. Para este fin se utilizó un plan de muestreo por atributos [8] de una sola muestra teniendo como base un atributo que se pueda evaluar de forma simple y con una decisión discreta el cual fue “unidad defectuosa” o “no defectuosa”. Recapitulando un poco en esta etapa, el plan de muestreo incluye una muestra única de tamaño n que fue seleccionada al azar de un lote más grande de tarjetas y cada uno de los n elementos se inspecciona por un inspector de calidad que mediante la fórmula que determina el tamaño de un lote de muestreo $n = N / (1 + Ne^2)$ dimensionó la cantidad de tarjetas que se analizaron, donde N en la fórmula es la población total de tarjetas electrónicas que es igual a 1000 unidades; n significa el tamaño de unidades que tomamos para la corrida controlada con un margen de error seleccionado $e = 0.092$. Con esto se define la corrida con 105 unidades las cuales se produjeron en lotes de 35 unidades en cada uno de los turnos de manufactura a lo largo del proceso producción de las tarjetas electrónicas, incluyendo las inspecciones de calidad cualitativas establecidas en los puntos clave de verificación de la producción; éstos sirvieron para coleccionar los resultados por atributos descriptivos de los defectos generados en cada una de las etapas de

ensamble y prueba de las tarjetas; una vez obtenidos los resultados se analizaron y se evaluaron las posibles correcciones en el proceso y/o componentes utilizados durante la fabricación.

Bases del Análisis:

- Se agruparán los defectos o fallas dependiendo de la operación del proceso donde se registra.
- Indicar los defectos que pueden ser detectados en cada operación, así como el medio de inspección genérico (visual humano o eléctrico).
- Obtener los parámetros Seis sigma de la corrida controlada
- Establecer una relación causa-efecto

Etapas del experimento:

- Aplicación de Soldadura en Pasta
- Inspección Visual 1
- Montaje de componentes SMT
(Surface-Mount Technology)
- Inspección AOI
(Automated Optical Inspection)
- Soldadura de Ola
- Inspección Visual 2
- Prueba de Funcionamiento ICT
(In Circuit Test)
- Ensamble Mecánico
- Inspección Visual 3
- Prueba Eléctrica
- Inspección de Auditoría de caja OBA
(Out of box Audit)
- Empaque

Resultados y discusión

Durante el experimento se utilizan hojas de verificación para registrar la presencia o ausencia de características particulares de las tarjetas electrónicas, basándose en los criterios de aceptabilidad o rechazo para los ensambles electrónicos contenidos en el Standard IPC-A-610E [7] usado en la industria electrónica. Los datos se recopilan manualmente por los inspectores de calidad utilizando un listado de códigos de defecto que sirven para identificar los 53 tipos de defectos definidos para el experimento, así como Inspecciones, Operadores, Inspectores y Turnos operativos involucrados en el proceso de las unidades. Al término del vaciado de los datos en una hoja de registro se procedió a elaborar la tabla 2 con las cantidades de defectos encontrados

en cada una de las categorías de los defectos que se definieron para el experimento, registrándose 16 defectos del listado de códigos de defectos. Se calculó el respectivo porcentaje de contribución de cada defecto y en la operación donde se generó, dando como resultado un total de 39 defectos de 105 unidades inspeccionadas equivalente a un nivel de rechazo del 37.14% (1).

$$\text{Porcentaje Defectuoso} = \frac{\text{Número total de unidades con defecto}}{\text{Número total de unidades de la corrida}} \times 100\%$$

$$\text{Porcentaje Defectuoso} = \frac{39}{105} \times 100\% = 37.14\% \quad (1)$$

Tabla 2. Contribución de rechazos por defecto

Código	Defecto	Cantidad	Defectivo%	
1	ledec	Led con daño eléctrico	8	7.62%
2	pistabier	Pista Abierta	5	4.76%
3	Interruda	Interruptor dañado	4	3.81%
4	comfalsmt	Componente Faltante SMT	4	3.81%
5	lednoenc	Led no enciende	4	3.81%
6	bolsaold	Bolsa de Soldadura	3	2.86%
7	ledfal	Led faltante	2	1.90%
8	raspadu	Raspadura	1	0.95%
9	comda	Componente dañado	1	0.95%
10	comdaele	Componente con daño eléctrico	1	0.95%
11	cominvsmt	Componente Invertido SMT	1	0.95%
12	torelev	Tornillo Elevado	1	0.95%
13	insusold	Insuficiencia de Soldadura	1	0.95%
14	contasol	Contaminación de Soldadura	1	0.95%
15	ledtubo	tubo de luz faltante	1	0.95%
16	ledfra	Led Fracturado	1	0.95%

De los datos colectados también se identifica que las operaciones con más rechazos son las pruebas eléctricas con el 13% en el ICT y 10% en la prueba eléctrica funcional (Tabla 3).

Tabla 3. Porcentaje de rechazos por operación

Operación	Cantidad de defectos	Porcentaje defectivo
Prueba de Funcionamiento (ICT)	14	13%
Prueba Eléctrica	10	10%
Inspección de Auditoría de caja (OBA)	7	7%
Defecto Inspección Visual (2)	4	4%
Defecto Inspección AOI	2	2%
Defecto Inspección Visual (1)	1	1%
Defecto Inspección Visual (3)	1	1%
Total Defectivo =	39	37%

El Led con daño eléctrico es el mayor contribuidor al porcentaje de defectivo. Este daño de Led fue identificado en las pruebas eléctrica al observar que el componente no encendió ni emitió luz alguna o en algunos casos presentó intermitencias al hacer presión sobre el componente. Se desarrolló un análisis de capacidad de la corrida para determinar si el proceso fue capaz de cumplir con las especificaciones de manufactura. Para este análisis se obtuvo el valor de

Ppk que nos indica el índice de capacidad del proceso durante la corrida y que verificará si la muestra que se tomó del proceso es capaz de cumplir con los requisitos de manufactura. Para esto se empleó la fórmula estadística considerada para la mitad de la variación del proceso natural 6 sigma /2 [15] (2).

$$Ppk = \frac{\text{Nivel de sigma del proceso}}{3} = \frac{Z\bar{p}}{3} \quad (2)$$

Se convierte el porcentaje de unidades no conformes en una fracción no conforme que para esta corrida el porcentaje de unidades no conformes es igual 37.14%, por lo que al convertir a una fracción quedaría igual a 0.3714. Se encuentra el valor Z en las tablas de distribución normal estándar [9] correspondiente a la fracción de unidades no conformes o con falla, donde la fracción no conforme representa el área bajo la cola derecha de una distribución normal. En caso de no localizar el valor exacto en la tabla tomaremos el valor inmediato superior que es igual 0.3745. Finalmente, el valor Z representa el valor sigma del proceso (Tabla 4) [9]. Es decir, el valor Z de proceso convierte el porcentaje promedio de defectuosos en un índice de capacidad similar a los calculados cuando se evalúa la capacidad de datos continuos. En la mayoría de los casos es deseable un valor Z de al menos 4, sin embargo para este caso el valor de tablas es Z= 0.32 muy por debajo de 4.

Tabla 4. Valores de Z [9]

Tabla de Distribución Normal Estándar

$Pr(Z \geq z) = 1 - \Phi(Z) = \int_z^{\infty} \frac{1}{\sqrt{2\pi}} e^{-u^2/2} du$

Z	0.00	0.01	0.02	0.03	0.04	0.05	0.06	0.07	0.08	0.09	Z
0.0	0.5000	0.4960	0.4920	0.4880	0.4840	0.4801	0.4761	0.4721	0.4681	0.4641	0.0
0.1	0.4602	0.4562	0.4522	0.4483	0.4443	0.4404	0.4364	0.4325	0.4286	0.4247	0.1
0.2	0.4207	0.4168	0.4129	0.4090	0.4052	0.4013	0.3974	0.3936	0.3897	0.3859	0.2
0.3	0.3821	0.3783	0.3745	0.3707	0.3669	0.3632	0.3594	0.3557	0.3520	0.3483	0.3
0.4	0.3446	0.3409	0.3372	0.3336	0.3300	0.3264	0.3228	0.3192	0.3156	0.3121	0.4
0.5	0.3085	0.3050	0.3015	0.2981	0.2946	0.2912	0.2877	0.2843	0.2810	0.2776	0.5
0.6	0.2743	0.2709	0.2676	0.2643	0.2611	0.2578	0.2546	0.2514	0.2483	0.2451	0.6
0.7	0.2420	0.2389	0.2358	0.2327	0.2296	0.2266	0.2236	0.2206	0.2177	0.2148	0.7
0.8	0.2119	0.2090	0.2061	0.2033	0.2005	0.1977	0.1949	0.1922	0.1894	0.1867	0.8
0.9	0.1841	0.1814	0.1788	0.1762	0.1736	0.1711	0.1685	0.1660	0.1635	0.1611	0.9

Valor de Z = 0.32

El Ppk utiliza la desviación estándar actual para el cálculo de la variación del proceso con base tanto en la ubicación como en la dispersión del proceso. Por lo general los valores de Ppk más altos indican un proceso más capaz y los valores de Ppk más bajos indican que el proceso puede necesitar mejoras, así que en base a este razonamiento, a mayor Ppk a 1 indica que el proceso pueda cumplir con las especificaciones, siendo 1.33 un buen valor de referencia de Ppk generalmente usado en la industria, fórmula (3).

$$Ppk = \frac{0.32}{3} = 0.11 \quad (3)$$

También es posible obtener las partes por millón o ppms siendo estas el número de veces que una unidad defectuosa podría ocurrir en un millón de partes producidas en la línea de producción, fórmula (4).

$$ppm = \frac{\text{Número total de unidades con defecto}}{\text{Número total de unidades de la corrida}} \times 1,000,000$$

$$ppm = \frac{39}{105} \times 1000000 = 371429 \quad (4)$$

Otra de las medidas de eficiencia calculadas fueron los DPMO (Defects per Million Opportunities) que reflejan la cantidad de defectos que ocurren en un millón de oportunidades y que representa una medición de capacidad para datos discretos (atributos); este dato es importante porque nos permite comparar los resultados obtenidos con otras corridas (5).

$$DPMO = \frac{\text{Número total de unidades con defecto} \times 1,000,000}{\text{Número total de unidades de la corrida}}$$

$$DPMO = \frac{(39 \times 1,000,000)}{(105 \times 53)} = 7008 \quad (5)$$

Como indicador de la productividad y eficiencia se calculó el rendimiento (Yield) de la corrida de la siguiente manera, ver fórmula (6):

$$Y = I * (\%G) + I * (1 - \%G) * (\%R) \quad (6)$$

donde,

I = Número planeado de unidades iniciadas en el proceso de producción.

% G = Porcentaje de unidades buenas producidas.

% R = Porcentaje de unidades con defecto que pueden ser retrabajadas.

Siendo el Yield (Y) de esta corrida la suma del porcentaje de las unidades que iniciaron en el proceso con buena calidad más el porcentaje de unidades rechazadas que podrán ser retrabajadas 78.63%. De los datos obtenidos durante la corrida se considera que el 4.76% con mala calidad no se pueden retrabajar por tener una pista abierta (PCB dañado), sin embargo el 32.38% si se retrabaja.

$$Yield = ((105) * (0.6286)) + ((105) * (1 - 0.6286) * (0.3238)) = 78.63\%$$

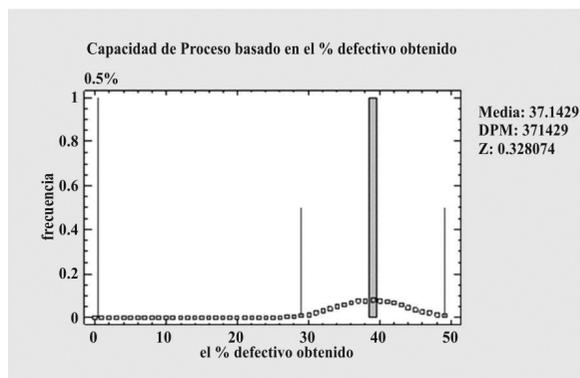


Figura 7. Capacidad de proceso de datos por atributos [5]

Los resultados del experimento nos confirman que el proceso de manufactura no es capaz y la mejora es requerida, ya que el resultado del índice de capacidad calculado Ppk resultó muy bajo. También el análisis nos expone los defectos crónicos que están siendo generados desde la línea de producción y no necesariamente inducidos por algún factor externo a la manufactura de las tarjetas electrónicas; concordando en parte con el análisis de los datos de reparación obtenidos de las unidades recibidas del cliente que presentaron una falla y fueron retornadas a la fábrica. Antes del experimento no existía una caracterización de las fallas de los LED por lo que este análisis nos servirá para comenzar una investigación más focalizada.

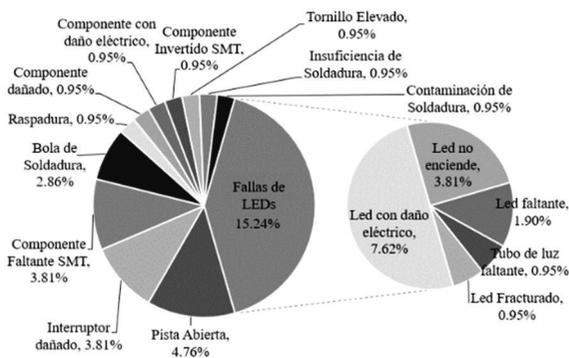


Figura 8. Caracterización de las fallas de los LED

Fase Mejorar:

Como se mencionó, los defectos de LED o Diodo Emisor de Luz en la tarjeta representan la mayor contribución de defectivo generado durante la producción de la unidad, por esta razón la mejora de la manufactura se dirige hacia los defectos de LED y como consecuencia se espera que las fallas en el campo disminuyan y los inventarios de reparación se vean beneficiados, así como los tiempos de ciclo de análisis de falla también sean menores. La importancia de los

LED en las tarjetas electrónicas y su interacción con los operadores finales de los equipos representa una interfaz necesaria, que representa en la tarjeta varias entradas recibidas y las salidas transmitidas a circuitos electrónicos donde cada una de las salidas representa un comando de control basado en hardware que facilita la visualización en campo del estatus de la unidad [10]. Se han identificado varios tipos de mecanismos de falla de componentes electrónicos que alteran la integridad mecánica y eléctrica del componente, en este caso el de los LED no es la excepción. Algunos de ellos son intrínsecos debido a la arquitectura de los componentes donde la naturaleza de la encapsulación también juega un papel importante, pero el vínculo débil en la electrónica sigue siendo las conexiones que originan la mayoría de los defectos. Del mismo modo los mecanismos de falla extrínsecos resultan de sobretensiones, sobrecalentamiento, golpes mecánicos que tienen un efecto más perjudicial en la interconexión que en el componente mismo. Algunos mecanismos dependen de los procesos de fabricación, defectos de centrado y presencia de polvo, pero uno de los mecanismos que afectan los enlaces adhesivos en la electrónica provienen principalmente de la encapsulación o el encapsulado plástico, así como la permeabilidad a la humedad.

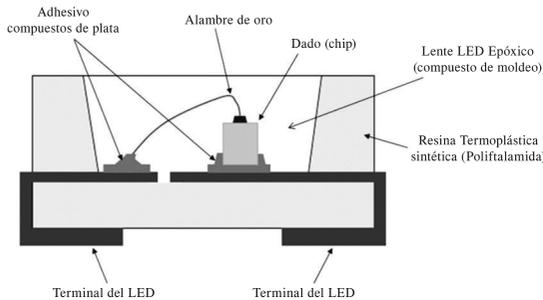


Figura 9. Descripción de materiales en un LED

La investigación del LED se realizó mediante un estudio de inspección y/o análisis en el microscopio electrónico de barrido SEM preparando la muestra de LED con un corte seccional transversal orientado hacia el dado del LED, previamente encapsulado con un epoxi sometido a un pulido fino en el borde del componente, esto con la finalidad de revelar cualquier plano vertical interno del LED. Al someter el LED a la inspección microscopía en dos muestras de LED, una con falla y otra sin falla, se encuentra que el LED con falla presenta delaminaciones visibles del adhesivo de plata en las uniones del dado con las terminales del LED [12], pero no así en la muestra del LED bueno que no presenta alteración alguna en el adhesivo. La delaminación del adhesivo identificada se asocia con una degradación del adhesivo, el cual puede deberse

a la permeabilidad del encapsulado del LED que mantiene con los gases y vapores del medio ambiente. Esto puede suceder puesto que al condensarse los vapores, se forma humedad que puede acumularse dentro del encapsulado y explotar al incrementarse la temperatura de soldado del componente en el horno de reflujo, durante el proceso de manufactura de la tarjeta electrónica. Este daño del LED se observa con mayor frecuencia como una delaminación en la interfaz del adhesivo de unión que se sitúa entre la base del dado semiconductor y la terminal y en muchos casos también en los sustratos con la formación de protuberancias, grietas y huecos en dichas interfaces del adhesivo causando estos daños estructurales y un desprendimiento del dado con las terminales que resultan finalmente en un circuito eléctrico abierto para el LED.

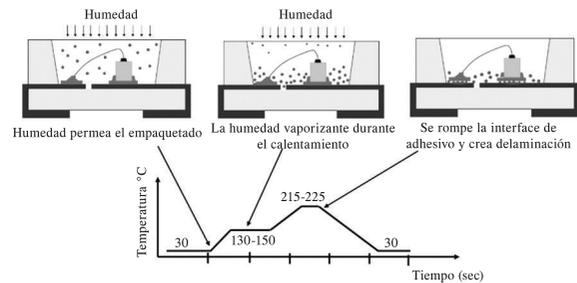


Figura 10. Ciclo de calentamiento y el Efecto de laminación del adhesivo [13].

El ingreso de la humedad en el LED es conducido por efectos termodinámicos y esencialmente implementado por las leyes cuantitativas de difusión de Fickian, que describen matemáticamente al proceso de difusión de materia o energía en un medio en el que inicialmente no existe equilibrio químico o térmico. La condición crítica para el agrietamiento del encapsulado y delaminaciones del adhesivo se da simplemente con la siguiente comparación $\sigma_P > \sigma_S$, donde σ_P es la tensión máxima en el borde del pad del dado y σ_S es la resistencia del adhesivo a la temperatura de soldado y si las dimensiones del pad del dado son grandes (LDP) y las dimensiones del espesor del encapsulado del LED (LP) son delgadas, ambas incrementan σ_P con la temperatura y promueven la tendencia a un agrietamiento y delaminación del adhesivo. Entre más grandes sean los pads del dado, estos permiten más sitios para un daño potencial, mientras que los encapsulados más delgados permiten que la humedad penetre más fácilmente. Una fórmula para explicar el inicio de la fisuración del adhesivo es la siguiente, ver Fórmula (7).

$$\sigma_P = \frac{(K) (LDP)^2}{(LP)^2} PH2O \quad [13] \quad (7)$$

Donde P_{H2O} es la presión del vapor de agua y K es una constante de proporcionalidad. Para conocer el nivel de exposición a la humedad permisible del LED y evitar daños durante el reflujo de soldadura en la tarjeta se identificó su nivel de sensibilidad a la humedad (MSL), el cual se define como nivel MSL 3. El estándar de la industria electrónica *IPC/JEDEC J-STD-033B.1* señala que si un componente electrónico nivel 3 de sensibilidad a la humedad estuvo expuesto más de 168 horas al medio ambiente a $30^{\circ}\text{C} / 60\%$ HR fuera, su empaque deberá ser horneado para extraer la humedad antes de ser procesados en el reflujo [11].

Fase de Control:

A manera de control las siguientes prácticas fueron implementadas en la línea de producción.

I) Mantener el período de tiempo permitido para la exposición del componente LED después de retirarlo de la bolsa con la barrera a la humedad.

a. El LED debe usarse dentro de 168 horas después de la apertura de la bolsa. Las condiciones ambientales sugeridas no deben superar los 30°C y 60% de humedad relativa.

b. Si las piezas no se pueden usar dentro de 168 horas éstas deberán almacenarse en una caja seca que no exceda el 20% de humedad relativa; se recomienda usar una tarjeta indicadora de humedad.

c. Si las piezas se van a utilizar después de períodos prolongados de tiempo, se deberá colocar un desecante y sellarse adecuadamente en una bolsa con barrera a la humedad.

II). Horneado en seco del componente para extraer la humedad absorbida antes del sellado de la bolsa. Como una opción permitida, el secado del LED restablece el contador de vida útil en piso ya que, si el LED se seca y se sella en una bolsa con barrera de humedad agregando un desecante nuevo, la vida útil en el piso se restablece. Las condiciones recomendadas de re-horneado del LED después de que la vida del LED en el piso haya expirado o que haya ocurrido alguna otra condición que indique un exceso de humedad son las siguientes: Horneado a 125°C de temperatura un tiempo de 7 horas mínimo y en caso de usar una temperatura menor a 40°C , la duración del horneado deberá ser de 11 días.

III). Almacenamiento en seco con humedad y temperaturas controladas.

IV). Control del tiempo durante el cual el componente permanece utilizable dentro de la bolsa sellada "Shelf-Life". Este es de 12 meses desde la fecha del sellado de la bolsa y almacenado en un ambiente atmosférico sin condensación de $< 40^{\circ}\text{C} / 90\%$ RH.

V). Uso de desecantes con materiales absorbentes para mantener una humedad relativa baja. Para el cálculo de la cantidad de desecante a utilizar se puede emplear la siguiente fórmula (8):

$$U = \frac{(0.304)(M)(WVTR)(A)}{(D)} \quad [11] \quad (8)$$

donde,

U = Cantidad de desecante a utilizar para el control de la humedad en *UNIDADES*; una *UNIDAD* de desecante se define como la cantidad de desecante que absorberá un mínimo de 2,85 g de vapor de agua al 20% de HR y 25°C .

M = Shelf-Life deseada en meses.

$WVTR$ = Velocidad de transmisión de vapor de agua en gramos/m^2 en 24 horas.

A = Superficie total expuesta de la bolsa con barrera a la humedad en m^2 .

D = La cantidad de agua en gramos, que una *UNIDAD* de desecante absorberá al 10% de HR y 25°C .

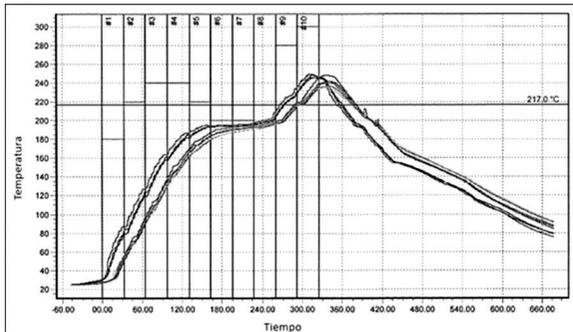
VI). Uso de tarjetas indicadoras de humedad sensibles a la humedad (HIC ó Humidity Indicator Cards). Una vez colocada la tarjeta en el paquete de LED se deberá verificar si la tarjeta no indica exposición a la humedad (cambia de color). En tal caso las partes deben secarse al horno antes de su uso. Dicha tarjeta deberá cumplir como mínimo con el estándar *MIL-I-8835* y tener tres círculos indicadores de porcentaje de humedad de color con valores de sensibilidad del 8% RH, 10% RH y 20% RH. Si los círculos indicadores del 8% y 10% de HR son de color azul significa que el LED todavía estará seco y adecuado para ser refluído en la línea de producción. Sin embargo, si el círculo del 8% de HR es rosado y el de 10% no es azul significa que el LED ha sido expuesto a un nivel excesivo de humedad y se deberá realizar el secado en el horno [11].

VII). Registro y monitoreo continuo de la temperatura y humedad en el piso de producción al inicio de cada turno.

- a) Operador
- b) Fecha
- c) Turno y Hora
- d) Temperatura ($^{\circ}\text{C}$)
- e) Humedad Relativa (%)
- f) Establecer los límites máximos y mínimos permitidos de Temperatura y Humedad Relativa.

g) Registrar el equipo de monitoreo donde se tomó la lectura.

VIII). Temperatura del cuerpo del LED durante el proceso de soldado. Ésta no debe exceder el valor nominal indicado en el perfil de soldado del LED ya que la temperatura aplicada en el cuerpo del componente durante la operación de reflujo influye directamente en la confiabilidad del LED. Se recomienda que ésta sea no mayor a 245 °C (+/-5 °C) con una máxima de 260 °C sin causar estrés a la resina del lente, así como un máximo de dos veces la exposición al reflujo.



Resultados de Temperatura en el Horno de Reflujo								
Sensores	Pendiente Positiva (°C/seg)	Tiempo de Pendiente Positiva (ss:tt)	Tiempo de Ascendencia (180.0 a 200.0 °C) (ss:tt)	Tiempo de Ascendencia 50.0°C a Pico (ss:tt)	Pendiente Media a Pico (°C/seg)	Tiempo de Líquidos (217.0°C) (ss:tt)	Temperatura Pico (°C)	Tiempo arriba de la Temperatura Pico menor a 5.0 °C (ss:tt)
Termopar #1	3.14	8.00	124.90	302.70	0.62	85.20	249.70	26.20
Termopar #2	2.03	10.70	131.90	300.30	0.63	87.10	245.60	30.50
Termopar #3	2.66	12.20	129.90	299.80	0.62	83.70	248.60	27.60
Termopar #4	1.49	28.40	107.30	308.50	0.61	80.40	236.80	33.60
Termopar #5	1.58	26.60	118.40	305.80	0.62	84.60	241.60	31.10
Termopar #6	1.50	79.70	105.50	311.30	0.61	77.70	238.60	36.40
Termopar #7	2.00	22.80	116.20	310.40	0.62	85.80	240.10	35.10
Termopar #8	1.75	29.50	117.20	302.50	0.63	92.10	248.20	30.90

Figura 11. Perfil de Temperatura del horno reflujo para el soldado del LED.

Para el monitoreo de la efectividad se utiliza un mecanismo de control de ciclo cerrado (ver Figura 12), donde el modelo propuesto consta de seis componentes conectados entre sí directa o indirectamente, formando el mecanismo de despliegue de la confiabilidad Seis Sigma.

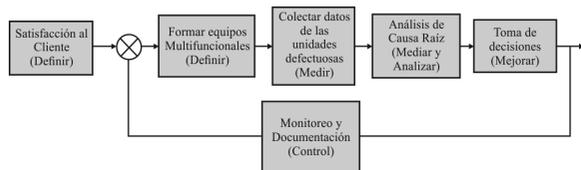


Figura 12. Mecanismo de despliegue de la confiabilidad Seis Sigma (Monitoreo).

Para este fin se desarrolla al término del semestre del ciclo de producción una segunda corrida controlada en la línea de producción para evaluar la mejora en los defectos de LED; replicando las mismas bases de análisis que fueron establecidas en la primera corrida controlada, en la Tabla 5. se presentan los resultados de calidad calculados de la segunda corrida, los cuales nos indican que los defectos de LED fueron corregidos

con las prácticas y acciones implementadas y no se registra ningún LED con daño eléctrico en esta última corrida.

Tabla 5. Rechazos por defecto 2nda. corrida

Código	Defecto	Clasificación	Cantidad	Defectivo%	
1	comfalsmt	Componente faltante SMT	Manejo/Colocación SMT	4	3.81%
2	Interruda	Interruptor dañado	Ensamble	3	2.86%
3	pistabier	Pista abierta	PCB	3	2.86%
4	comequismt	Componente equivocado SMT	Colocación SMT	2	1.90%
5	torlfo	Tornillo flojo	Ensamble	2	1.90%
6	comfrsmt	Componente Fracturado SMT	Manejo/Colocación SMT	2	1.90%
7	bolasold	Bolas de Soldadura	Soldadura	2	1.90%
8	comequi	Componente equivocado	Ensamble	1	0.95%
9	comfal	Componente faltante	Ensamble	1	0.95%
10	disisue	Disipador suelto	Ensamble	1	0.95%
11	toelev	Tornillo elevado	Ensamble	1	0.95%
12	comda	Componente dañado	Manejo/Ensamble	1	0.95%
13	etiqual	Etiqueta Faltante	Manejo/Ensamble	1	0.95%
14	padda	PAD dañado	PCB	1	0.95%
15	cortosold	Corto de soldadura	Soldadura	1	0.95%
16	ledelec	Led daño eléctrico	LED	0	0.00%
17	ledcolequi	Led color equivocado	LED	0	0.00%
18	leddegr	Led degradado (Luz tenue)	LED	0	0.00%
19	ledfal	Led faltante	LED	0	0.00%
20	ledfra	Led fracturado	LED	0	0.00%
21	lenoenc	Led No enciende	LED	0	0.00%

Al calcular el porcentaje de contribución de cada defecto nos arroja como resultado un total de 26 defectos encontrados en 105 unidades inspeccionadas, equivalente a un nivel de rechazo del 24.76%, lo cual nos representa también una mejora del 12.38% con respecto a la primera corrida.

Tabla 6. Resultados de calidad de la 2nda.corrida

Número de Tarjetas Procesadas = 105
Número de Defectos Encontrados = 26
Número de Oportunidades = 53
Cálculo de DPMOs = 4672
Porcentaje de unidades buenas = 75.24%
Porcentaje de defectivo = 24.76%
Porcentaje de defectivo con retrabajo = 20.95%
DPM = 247619
Z del Proceso = 0.682003 [9]
Ppk = 0.22
Yield (con retrabajo) = 88.44%

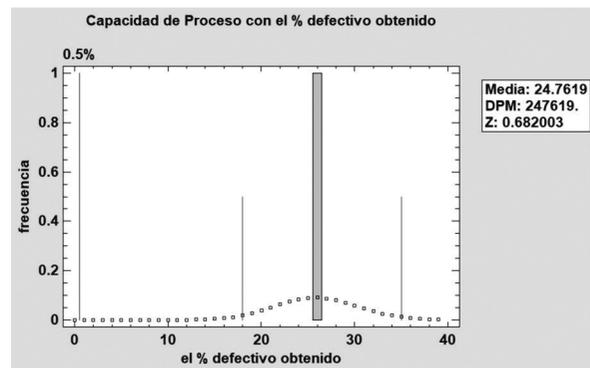


Figura 13. Contribución de rechazos por defecto

Al realizar nuevamente el análisis de la población de tarjetas electrónicas defectuosas que retornaron a la planta para reparación durante el segundo semestre, se observa que el porcentaje de defectivo por fallas de

LED que no encienden disminuyó al 0.3% abajo del objetivo de 0.5%, lo cual refleja una mejora al realizar este proyecto.

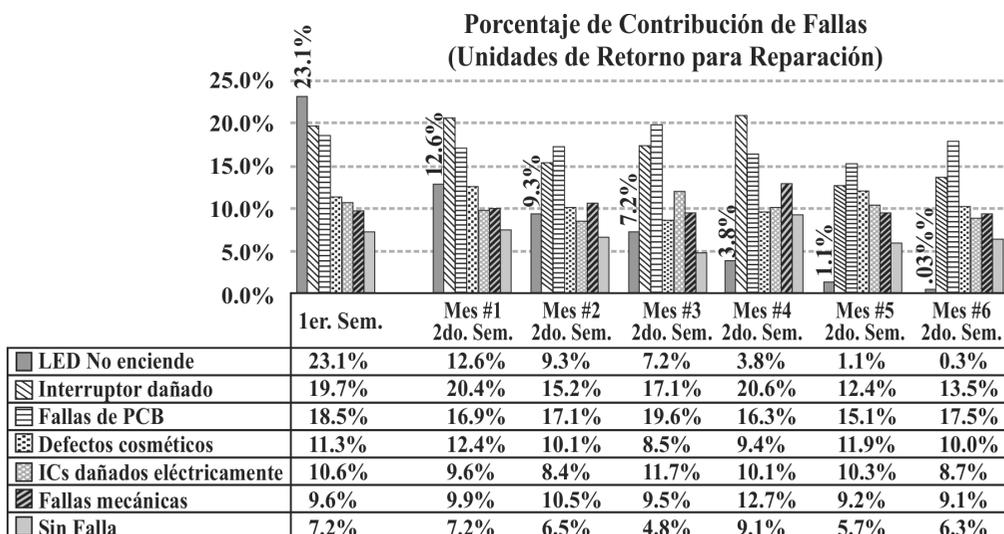


Figura 14. Porcentaje de defectivo (semestre 2).

Debido a la disminución de las fallas de LED en la línea de producción el tiempo de ciclo que tarda el análisis de las fallas en la línea de reparación también

resultó beneficiado, ya que de acuerdo con el métrico de la planta el tiempo de ciclo disminuyó a 15.3 días (ver tabla 7).

OPERACIÓN	Tiempo de Ciclo ANTES (Días)	Tiempo de Ciclo DESPUÉS (Días)	Antes del Proyecto		Después del Proyecto	
			Acum. %	Cont %	Acum. %	Cont %
Casos de Diagnóstico Extendido y fallas Crónicas	110	15	30.39%	55.84%	8.20%	15.15%
Componentes de Reemplazo no disponibles en Planta	90	80	55.25%	45.69%	51.91%	80.81%
Envío de componentes defectuosos al fabricante	60	30	71.82%	30.46%	68.31%	30.30%
Ingreso de unidades al proceso	20	11	77.35%	10.15%	74.32%	11.11%
Localización de tarjetas en el almacén de recepción	15	7	81.49%	7.61%	78.14%	7.07%
Diagnósticos de la Falla	15	6	85.64%	7.61%	81.42%	6.06%
Reemplazo de componentes defectuosos	12	7	88.95%	6.09%	85.25%	7.07%
Prueba Inicial	11	6	91.99%	5.58%	88.52%	6.06%
Aprobación y cierre de casos sin reproducir la falla	10	6	94.75%	5.08%	91.80%	6.06%
Transferencia de Material del Almacén a la Inspección	8	6	96.96%	4.06%	95.08%	6.06%
Soporte logístico por Material no localizado en el Almacén	7	7	98.90%	3.55%	98.91%	7.07%
Elaboración de Resultados de Análisis de Falla	4	2	100.00%	2.03%	100.00%	2.02%
Promedio de días	30.2	15.3				

Tabla 7. Comparación de tiempos de ciclo

Conclusiones

Mediante la metodología Seis Sigma se logró mejorar la confiabilidad del producto identificando el defecto principal con alta tasa de fallas en campo, logrando una disminución del inventario de unidades defectuosas retornadas a la planta, dando como resultado final la disminución del tiempo de ciclo empleado en las diferentes operaciones del diagnóstico y reparación de las unidades. Los pasos de esta metodología: definir, medir, analizar, mejorar

y controlar, se visualizaron embebidos dentro de un modelo de lazo cerrado y continuo que condujeron al proyecto al análisis matemático y estadístico, así como a la investigación de procesos y la aplicación de ciencia de materiales como fue el caso de la falla de LED, que debido a factores externos de humedad y temperatura generaban una fractura mecánica en el material higroscópico encapsulado, durante las altas temperaturas del montaje. También, a través de la formación de equipos multifuncionales, se logró

explorar, identificar y mostrar las posibles causas relacionadas con los problemas que generaron que las unidades fallaran en el campo; así como la condición para descubrir sus causas raíz que posteriormente fueron validadas y analizadas mediante el diseño de experimentos. La aportación de la investigación reside en haber generado mediante una metodología de calidad la experiencia y la base del conocimiento para el desarrollo y optimización de los procesos establecidos en la fábrica, procurando que esta experiencia adquirida por el equipo multifuncional sea reproducible para futuras investigaciones de los problemas que afectan la calidad de las tarjetas electrónicas que se producen en la planta, dando el enfoque para crear mejores prácticas de manufactura en los procesos de producción que están fuera de control y migrando a la vez a nuevas condiciones de operación basadas en la generación de acciones de mejora y corrección de los métodos de ensamble. Los análisis de laboratorio efectuados a nivel estructura del componente levantaron una alerta interna para poner en el radar los componentes similares que podrían ser afectados por las malas prácticas de manufactura y considerarlos como críticos en los planes de control del proceso.

Referencias

- [1] Laung-Terng Wang, Cheng-Wen Wu, Xiaoqing Wen. (2006), *VLSI Test Principles and Architectures. CHPT 1* Morgan Kaufmann
- [2] Duncan Manual, (2006). *Six Sigma methodology: reducing defects in Business processes*. Celerant Consulting
- [3] Hikmet Erbiyika, Muhsine Sarua, (2015). *World Conference on Technology, Innovation and Entrepreneurship*. The Authors. Published
- [4] Morato Orozco, J.S. (2009), *Reducción de gasto energético eléctrico usando seis sigmas. Vol.4, No.2* Corporación Universitaria Lasallista Área Metropolitana del Valle de Aburrá
- [5] Software for Quality Statgraphics XVII X64
- [6] Joseph Juran, A. Blanton Godfrey. Juran's (1999), *Quality handbook*, Fifth edition McGraw Hill.
- [7] Standard IPC-A-610E-2010 (2010). *Acceptability of Electronic Assemblies*, Association Connecting Electronics Industries
- [8] Kubiak T M & Benbow Donald W (2017). *Chapter 15: Data Collection, The Certified Six Sigma Black Belt Handbook (3rd Edition), Hardcover*.
- [9] Kubiak T M & Benbow Donald W (2017), *Standard Normal Distribution Z value table Capability, The Certified Six Sigma Black Belt Handbook (3rd Edition)*, Hardcover
- [10] Kalyani N-Thejo, Swart Hendrik Dhoble S J. (2017). *LED Materials Principles and Applications of Organic Light Emitting Diodes*, Woodhead Publishing
- [11] Joint Industry Standard, (2007). *IPC/JEDEC J-STD-033B.1, 1999*, ELECTRONIC INDUSTRIES ALLIANCE
- [12] R.D. Adams, (2005), *Adhesive Bonding: Science, Technology, and Applications 1st edition*, Woodhead Publishing Limited.
- [13] Milton Ohring, Lucian Kasprzak, (2015). *Reliability and Failure of Electronic Materials and Devices 2nd Edition*, Academic Press.
- [14] Quality Excellence for Suppliers of Telecommunications Forum (QuEST Forum) *TL 9000 Quality Management System, Measurements Handbook, Release 3.0*
- [15] Kubiak T M & Benbow Donald W., (2017). *Chapter 19: Process Capability, The Certified Six Sigma Black Belt Handbook, (3rd Edition), Hardcover*.

Recibido: 3 de diciembre de 2018

Aceptado: 19 de diciembre de 2018