

Prototipo de cámara IMAX+ como recurso docente para calibración y tratamiento de imágenes en FPGA

Eduardo Magdaleno Castelló
Departamento de Ingeniería Industrial
Universidad de La Laguna
 La Laguna, España
 emagcas@ull.edu.es

Manuel Rodríguez Valido
Departamento de Ingeniería Industrial
Universidad de La Laguna
 La Laguna, España
 mrvalido@ull.edu.es

David Hernández Expósito
Grupo de Física Solar
Instituto de Astrofísica de Canarias
 La Laguna, España
 dhernane@ull.edu.es

Basilio Ruiz Cobo
Grupo de Física Solar
Instituto de Astrofísica de Canarias
 La Laguna, España
 brc@iac.es

María Balaguer
Grupo de Física Solar
Instituto de Astrofísica de Andalucía
 Granada, España
 balaguer@iaa.es

David Orozco Suárez
Grupo de Física Solar
Instituto de Astrofísica de Andalucía
 Granada, España
 orozco@iaa.es

Antonio López Jiménez
Grupo de Física Solar
Instituto de Astrofísica de Andalucía
 Granada, España
 antonio@iaa.es

Abstract—En este trabajo se presenta un prototipo de cámara que se ha empleado en un Proyecto de investigación y se pretende usar como recurso docente. Las partes más relevantes del instrumento son un sensor de imagen y una FPGA Artix-7. El desarrollo del firmware de la cámara en la FPGA abarca numerosos ítems en la metodología de diseño basada en dicha tecnología. Así, la posibilidad de empleo de este prototipo como recurso docente constituye una oportunidad de que los alumnos aprendan tecnología FPGA con un dispositivo real y actual desarrollado para una misión astrofísica puntera.

Keywords—FPGA, firmware, VHDL, Verilog, calibración, docencia en master, Vivado, TFM

I. INTRODUCCIÓN

Las tecnologías y metodologías de diseño basadas en FPGAs constituyen una avanzada y poderosa herramienta para la realización de prototipos de circuitos digitales complejos. Por este motivo, en la Universidad de La Laguna se lleva apostando muchos años el empleo del binomio FPGA-VHDL como parte de la docencia práctica de asignaturas relacionadas con la electrónica digital tanto básicas impartidas en los primeros cursos de los Grados de las Ingenierías Informática e Industrial, como en asignaturas de un nivel más avanzado dentro del Máster de Ingeniería Industrial en la actualidad o, en el pasado, en ingenierías superiores ya extinguidas (Ingeniería Superior en Electrónica, Ingeniería Superior en Automática y Electrónica Industrial, por ejemplo).

El aprendizaje de las nociones básicas de la metodología de diseño para la elaboración de circuitos digitales sencillos, tales como contadores, máquinas de estado, decodificadores, multiplexores, etcétera, suele ser rápido, ya que los entornos de desarrollo incluyen asistentes que automatizan la mayor parte de las fases de diseño. La docencia permite cierta flexibilidad en el grado de detalle en que se diseña este tipo de circuitos básicos, realizados empleando casi exclusivamente la lógica genérica de las FPGAs.

Además de la lógica genérica, los sobradamente conocidos slices de Xilinx, dentro de la FPGAs existen componentes específicos que además se van modificando a medida que los fabricantes van sacando al mercado nuevas series de sus dispositivos. Tales componentes específicos abarcan dispositivos de almacenaje, administradores de reloj, circuitos aritméticos, de comunicaciones, análisis lógico (ILA), conversores para medidas de tensiones y temperaturas (XADC), etcétera. El aprendizaje del funcionamiento y operación de estos componentes avanzados puede ser complicado, pero puede facilitarse empleando prototipos en los que ya se empleen y que los alumnos puedan manipular.

En este trabajo se presenta un prototipo de cámara desarrollado en un proyecto de investigación para la docencia de asignaturas avanzadas relacionadas con las tecnologías basadas en FPGA, tales como la asignatura Diseño de Sistemas Electrónicos con FPGA del Máster de Ingeniería Industrial o Trabajos Fin de Máster/Grado. El diseño del prototipo abarca buena parte de los componentes arriba indicados y da mucho juego a la hora de realizar modificaciones y mejoras para la implementación de Trabajos Fin de Máster/Grado. En este caso nos centraremos en la calibración de los canales de transmisión de datos y el tratamiento de imágenes provenientes del sensor al que está conectado la FPGA del prototipo.

El resto del presente trabajo está organizado como sigue: en la segunda sección se describe brevemente el proyecto de investigación que dio lugar al prototipo que se dispone, así como una descripción del mismo. En la sección tercera se detalla el firmware implementado en la FPGA haciendo énfasis en la calibración de canales y el tratamiento de imágenes. En la cuarta sección se ilustra el potencial que tiene el prototipo como recurso docente y se describe algunas propuestas de TFM's y/o ejercicios prácticos a realizar en las asignaturas del Máster. En el último apartado se describe el estado actual del empleo del prototipo orientado a docencia y las actuaciones futuras al respecto.

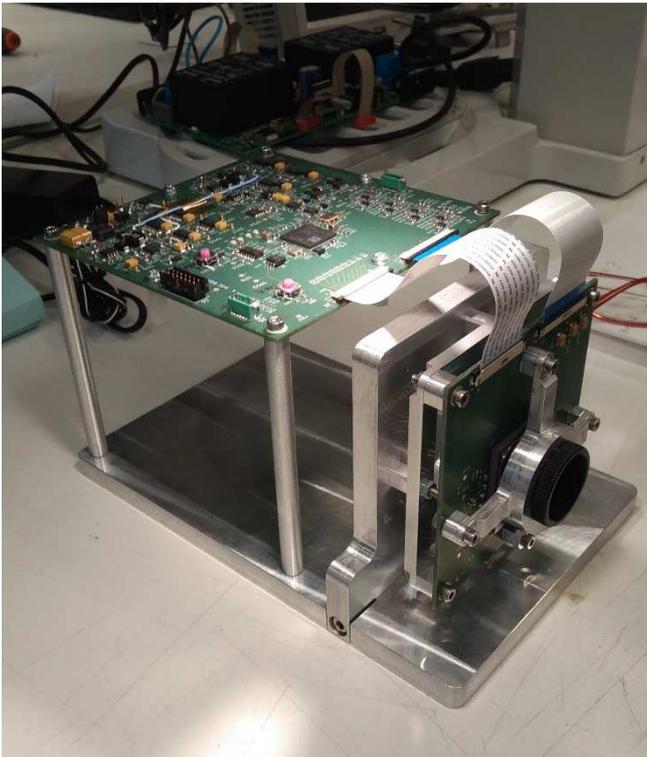


Fig. 1. Fotografía del primer prototipo de la cámara del instrumento IMAx+ tomada en el laboratorio de la Escuela de Ingeniería y Tecnología.

II. APROXIMACIÓN AL PROYECTO

El prototipo disponible ha sido implementado en el marco de la misión Sunrise III, que será la tercera en observar el Sol desde la estratosfera lanzando un telescopio en un globo desde Noruega [1]. En su viaje a través del círculo polar ártico, se podrá observar el Sol de manera ininterrumpida durante unos días.

El mayor cambio de Sunrise III respecto a las misiones anteriores es el conjunto de instrumentos, ya que el telescopio y la góndola serán similares [2].

En concreto, se está construyendo un nuevo magnetógrafo, denominado IMAx+, que proporciona imágenes del Sol de 50×50 arcmin² en varias bandas estrechas (~8pm de anchura), de la que se puede extraer la información cuatro estados de polarización [2-3]. En este instrumento, respecto al antiguo IMAx, se ha rediseñado completamente la electrónica, empleando componentes tecnológicos actuales que redundarán también en un sistema mucho más pequeño, dejando más espacio para los instrumentos a bordo.

En lo que respecta a la cámara del sensor IMAx+, se ha desarrollado un hardware que incluye dos PCBs, el primero con el sensor CMOS, y el segundo, con una FPGA Artix-7 XC7A50T-2CSG325C encargada de controlar el sensor y de comunicarse con la DPU del instrumento a través de una interfaz CoaXPress [4-5]. En la figura 1 se muestra una foto del primer prototipo implementado de la cámara de IMAx+. En posición vertical está situada la PCB del sensor y en posición horizontal, la de la FPGA. Este es el prototipo al que tendrán acceso los alumnos.

El vuelo de la misión Sunrise 3 está previsto para el verano septentrional de 2021.

III. DESCRIPCIÓN DEL PROTOTIPO DE CÁMARA

En la fase de diseño del prototipo se optó por separar en dos tarjetas los elementos más relevantes. Por un lado, el sensor GSENSE400 de GPIXEL y, por otro lado, la FPGA Artix-7 XC7A50T-2CSG325C que configura y se comunica con el sensor, presentando también una interfaz CoaXPress para la comunicación con el host o DPU del sistema [4]. Estos son los dos componentes principales del prototipo, cuyas características se detallan a continuación.

A. Características principales del sensor de imagen

El sensor que se ha escogido para incorporarlo al sistema de detección tiene una serie de características que cumplen con los requisitos exigidos por las comisiones científicas del proyecto.

El sensor GSENSE400 es un sensor de imagen CMOS de resolución de 4 megapíxeles (2048x2048) con píxeles de fotodiodo de 11µm. El sensor presenta un ruido de lectura extremadamente bajo de 1.47×10^{-6} [6]. Tiene dos modos de operación, el modo STD en 48 fotogramas por segundo o el modo HDR que está optimizado para aplicaciones de alto rango dinámico con 24 fotogramas por segundo. La característica de alta sensibilidad, bajo nivel de ruido de lectura y alto rango dinámico lo hace perfecto para una variedad de aplicaciones científicas, como la que nos ocupa.

El sensor dispone de un conversor AD de 12 bits, un sensor de temperatura, un PLL y una interfaz SPI para labores de control. Para configurar el detector y ponerlo en marcha adecuadamente, hay que escribir en unos bancos de memoria del mismo a través de esta interfaz.

Para mandar la imagen a la FPGA, el sensor dispone de 8 canales diferenciales que proporcionan los datos de los píxeles de 12 bits en formato serie a 300MHz. Las filas del sensor CMOS se leen o se resetean en ranuras temporales 513 ciclos de reloj de píxel (25MHz) a través de unas señales de control que debe enviar la FPGA Artix-7. Estos canales tienen que ser calibrados para que los datos puedan ser interpretados correctamente. Esta tarea la realiza la FPGA. Además, según sea su modo de operación STD o HDR, el formato de los datos de lectura es distinto, así que el tratamiento de las imágenes a realizar por la FPGA deberá contemplar el modo configurado en el sensor.

B. El firmware de la cámara

El desarrollo del firmware de este prototipo abarca buena parte de los recursos tanto hardware como de herramientas de desarrollo de las tecnologías FPGA: empleo de los lenguajes VHDL y verilog, entorno de desarrollo Vivado, uso de IPs proporcionados por Xilinx e IPs comerciales (comunicación CoaXPress), empleo del soft-core MicroBlaze y SDK y C para su programación, uso de ILA (Integrated Logic Analyzer) para depuración, XADC para la medida de temperaturas y voltajes en la propia FPGA, máquinas de estado, gestión de múltiples relojes, conocimiento y empleo de componentes dedicados de la familia 7 de Xilinx (IDDR, IDELAY2, ICONTROL, IDELAYCTRL, etc). El amplio espectro de herramientas y componentes hace que valga la pena explorar las posibilidades de empleo en la docencia de este prototipo para diseño avanzado.

El firmware del prototipo está implementado en una FPGA Artix-7 XC7A50T-2CSG325C como se ha comentado anteriormente y consta de tres módulos según se aprecia en la figura 2 [7].

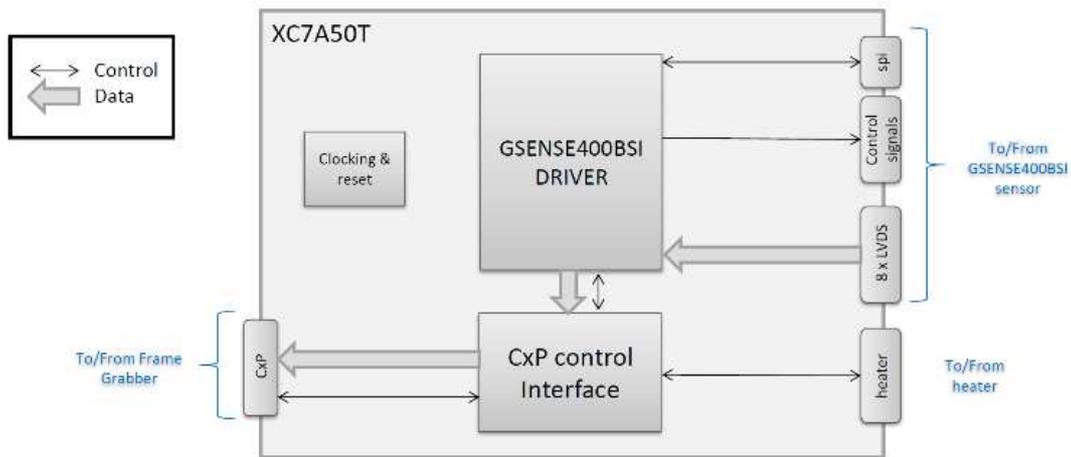


Fig. 2. Diagrama de bloques del firmware implementado en la FPGA Artix-7.



Fig. 3. Interfaz del módulo training.v

TABLE I. DESCRIPCIÓN DE LOS PUERTOS DEL MÓDULO TRAINING.V

Nombre	Descripción
clk_rxg	reloj 25 MHz
clk_rxio	reloj 150 MHz para muestrear canales
rst_rx_n	reset activo a nivel bajo
training_word	palabra usada para calibrar por comparación
cmd_start_training	comando de inicio de calibración
train	conectado directamente al sensor
data_ser_p/n	8 canales LVDS provenientes del sensor
data_par_trained	Dato paralelizado y calibrado (8 canales)
clk200_idelay_ctrl	reloj 200 MHz de referencia
train_dina_0	datos de información de calibración
train_wea_0	habilitación de escritura de datos de calibración

El módulo de clocking/reset genera todos los relojes necesarios para el funcionamiento del firmware, así como un reset global. Por otra parte, se ha implementado, con un IP core comercial, una interfaz CoaxPress con la que se comunica con el host o DPU (tanto datos de imagen como valores de configuración y otros comandos). Además del IP comercial, este bloque contiene un soft-core MicroBlaze, que gestiona propiamente la comunicación con el host y configura el driver según las órdenes que reciba del mismo. Además, también gestiona un heater que actúa como calefactor del sensor.

El tercer módulo implementado es el driver del sensor propiamente dicho. Como puede apreciarse, el driver envía, a través de un bus SPI, los valores de configuración del sensor (que a su vez han sido enviados por el host a través de la interfaz CoaxPress), que también pueden leerse; y también envía las señales de control para gestionar las órdenes de lectura y reset de cada una de las filas de las imágenes por el sensor. El driver recibe los datos a través de los 8 canales diferenciales, a 300MHz (8 x LVDS). Este módulo será el será propuesto al alumnado para que realicen modificaciones pertinentes para la realización de la calibración y el tratamiento de las imágenes obtenidas.

IV. CALIBRACIÓN Y TRATAMIENTO DE IMÁGENES

El módulo de recepción del driver del sensor consta de dos módulos principales. El módulo que se ha denominado training, que recibe los datos de los 8 canales diferenciales; y el módulo denominado swapping, que realiza el tratamiento de los canales para conformar una imagen ordenada.

A. Calibración de los canales

El módulo de training, descrito en verilog, tiene la interfaz que aparece en la figura 3. En la Tabla I se muestra también una breve descripción de cada puerto del módulo.

Este submódulo alinea/calibra los datos provenientes del sensor GPIXEL. Hay implementados 8 conversores de serie a paralelo de 1 a 12 bits. Cada deserializador emplea un módulo IDELAY2 para controlar retardos múltiples de 78ps, un módulo IDDR para muestrear el canal a flancos de subida y bajada (clk_rxio) y un registro de desplazamiento variable (RAM-based Shift Register). Todos los canales se controlan con un módulo ICONTROL a 200 MHz (clk200_idelay_ctrl).

La calibración se realiza a 3 niveles: calibración de bit, de palabra (dato) y de canal (figura 4). Esta calibración se realiza de manera secuencial para cada canal, configurando el deserializador y escribiendo los parámetros de calibración en una FIFO (train_wea_0 y train_dina_0).

El funcionamiento de la máquina de estados es como sigue: el estado inicial es s_IDLE. Cuando se recibe una señal de inicio de calibración (cmd_start_training), pone el sensor en modo entrenamiento (train) que hace que mande continua-

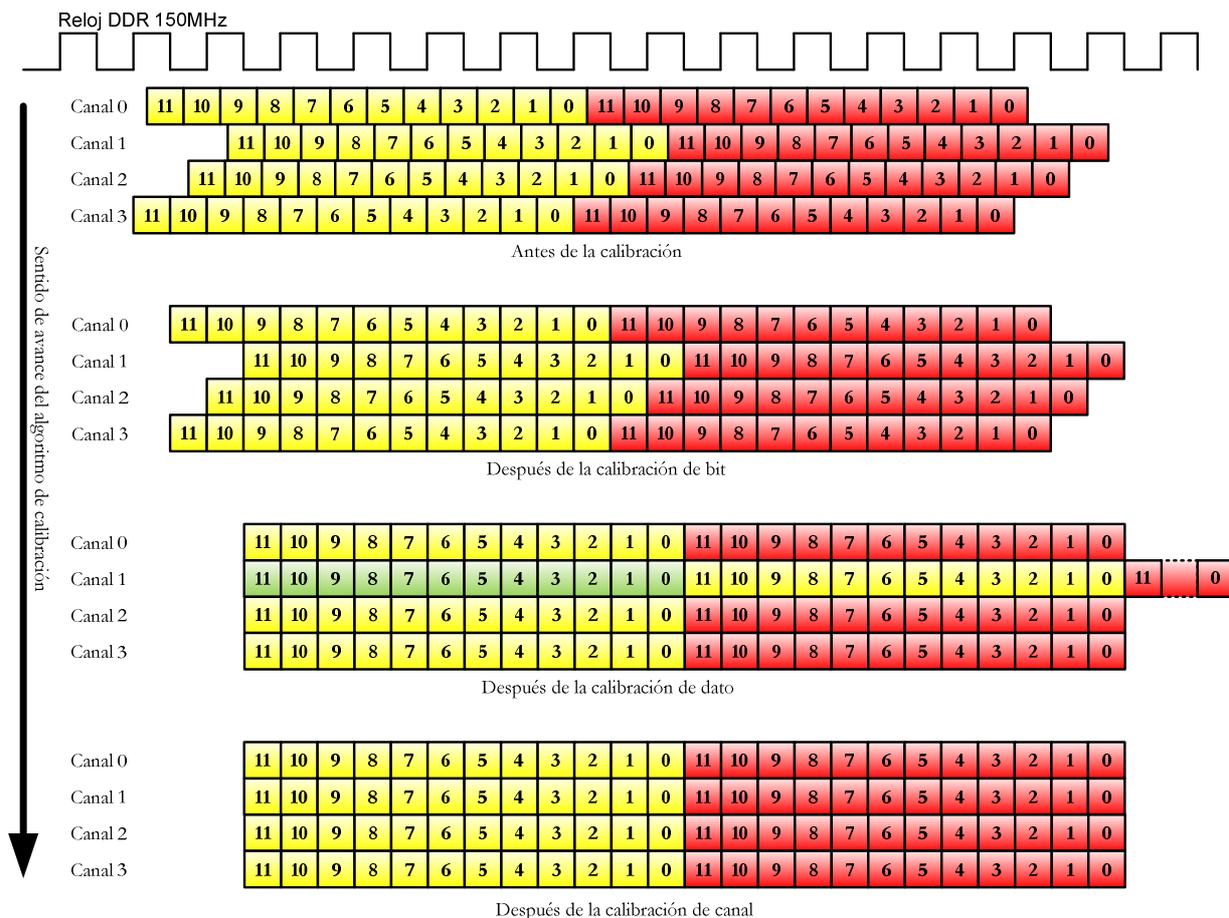


Fig. 4. Proceso de calibración para 4 canales.

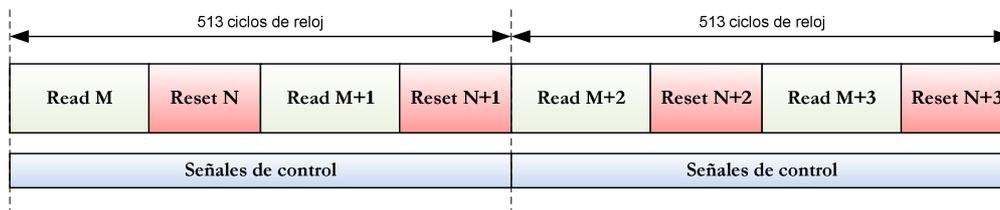


Fig. 5. Temporización de la lectura y reseto de las filas de la imagen del sensor en modo STD

mente a la palabra de entrenamiento. En la calibración de bit, se van introduciendo retardos hasta que se produzca un cambio de bit, de tal manera que queda determinado el muestreo en el centro del bit y no en un flanco [8]. En la calibración de dato, se va rotando la palabra que se deserializa hasta que coincida con la palabra de entrenamiento. Por último, se van introduciendo retardos en la palabra de entrenamiento a través un registro de desplazamiento variable (RAM-based Shift Register), para que los datos de todos los canales estén sincronizados. Si no se ha calibrado algún canal correctamente, se repite la calibración.

B. Tratamiento de las imágenes

En el caso implementado, el tratamiento de la imagen consiste en ordenar los píxeles provenientes de los 8 canales diferenciales del sensor en modo STD. Las filas del sensor CMOS se leen o se resetean en ranuras temporales 513 ciclos de reloj de píxel (25MHz) a través de unas señales de control que debe enviar la FPGA Artix-7.

En el modo HDR, una ranura temporal consta de 2 fases: fase de lectura de una fila y fase de reset de una fila. Con este modo se obtiene, para cada dirección, dos lecturas, una en alta ganancia y otro en baja ganancia. Este modo no está configurado.

En el modo STD, una ranura temporal consta de 4 fases: fase de lectura de una fila, fase de reset de una fila, y fases de lectura y reset de las filas siguientes, respectivamente. En la figura 5 se muestra cómo se leen las filas M y siguientes y se resetean las filas N y siguientes en dos ranuras temporales [6].

Este modo de reseteo y lectura se realiza de manera simultánea para los 8 canales, que se reparten las 2048 filas del sensor, según se aprecia en la figura 5, donde en la que se hace la distinción entre filas pares e impares, de tal manera que, en cada ranura temporal una fila para y otra impar son leídas/reseteadas en una estructura de pipeline. Puede apreciarse que, desde la orden de lectura hasta que el sensor

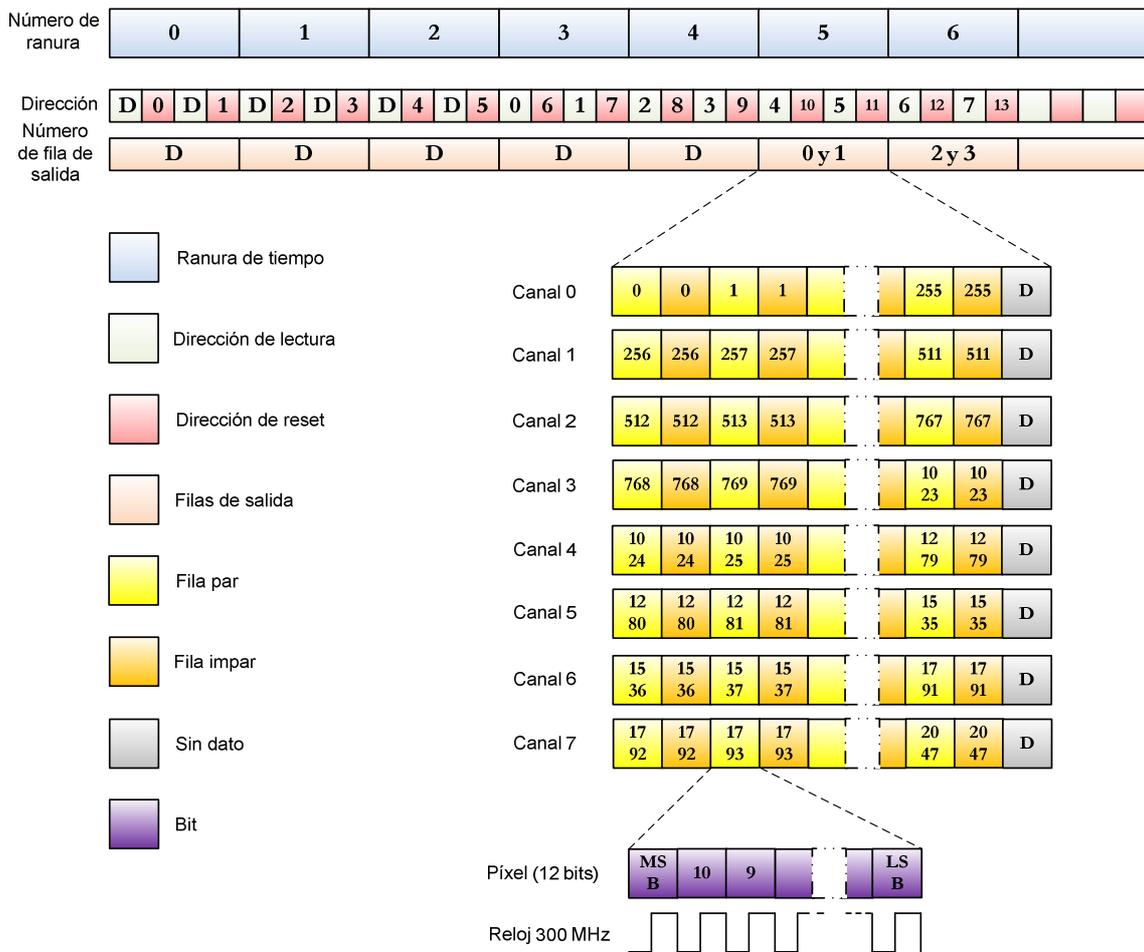


Fig. 6. Formato de salida de los datos con el sensor en modo STD (estándar).

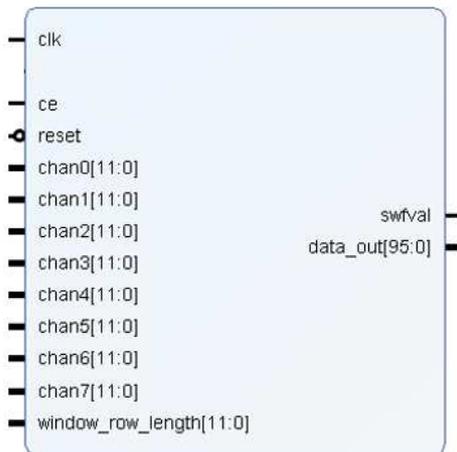


Fig. 7. Interfaz del módulo training.v

proporciona los datos, pasa el tiempo correspondiente a dos ranuras, debido a la estructura pipeline de salida del sensor.

Cada fila tiene 2048 píxeles. Entonces, y según se aprecia en la figura 6, cada dos filas simultáneamente (par e impar), el sensor suministra los datos así: el canal cero, los píxeles del 0 al 255 de esas dos filas; el canal 1, los píxeles del 256 al 511, etcétera.

TABLE II. DESCRIPCIÓN DE LOS PUERTOS DEL MÓDULO TRAINING.V

Nombre	Descripción
clk	reloj 25 MHz
reset	reset activo a nivel bajo
window_row_length	número de filas de la imagen
ce	habilitación del módulo de ordenamiento
cmd_start_training	comando de inicio de calibración
chan0 a chan5	entrada de datos suministrada por cada canal
swfval	salida de imagen ordenada válida
data_out	salida de imagen ordenada

Así pues, el módulo de ordenamiento de los canales, descrito en VHDL y de nombre swapping, tiene que ordenar los datos en dos niveles: por paridad de filas y por canales [9]. Este módulo tiene la interfaz que aparece en la figura 7.

En la Tabla II se muestra también una breve descripción de cada puerto del módulo. Básicamente, este módulo consta de 16 FIFOs implementadas usando la IP FIFO Generator 13.2 de Vivado. Los ciclos de escritura y lectura de las FIFO las controla una máquina de estado constituida por un contador que genera las señales para las FIFOs según el formato STD de salida del sensor (figura 6).

Cabe destacar que la salida es de 96 bits por la configuración de la comunicación con el host a través de

CoaxPress. Como cada píxel es de 12 bits, el módulo suministra los datos de la imagen de 8 en 8 píxeles.

V. PROTOTIPO COMO RECURSO DOCENTE

Hay dos vertientes en las que el prototipo puede emplearse como recurso docente.

En el primero, se recurre a él para entender el uso de las herramientas y la arquitectura de las FPGAs y está más orientada a prácticas de laboratorio de asignaturas avanzadas de tecnología digital en Máster. Algunas de las tareas o ítems podrían ser:

- Manejo general de la herramienta Vivado: explorar jerarquías, realizar simulaciones, modificación de restricciones en el fichero XDC
- Manipulación y creación de IP cores: modificar el tamaño de las FIFO con el FIFO Generator y otros cores
- Análisis y debug de señales implementados con el uso del analizador lógico integrado ILA (integrated logic analyzer)
- Cuestiones avanzadas de los lenguajes VHDL y verilog. Instanciación de componentes específicos de la familia 7 de Xilinx, modificación de los genéricos de los mismos, implementación de máquinas de estados, generación de instancias múltiples, etcétera.
- Relacionada con la anterior, estudio de la arquitectura de las FPGAs de la familia 7: lógica genérica, módulos IDDR, ICONTROL, IDELAY, bloques de entrada/salida, etcétera

Los conocimientos previos de los alumnos que harían uso de la cámara como recurso docente serían:

- Conocimientos básicos de electrónica digital y diseño digital
- Nociones básicas de arquitectura de FPGA
- Iniciación en la metodología de diseño basada en FPGAs
- Conocimientos básicos en VHDL o verilog
- Nociones básicas en el manejo de un entorno de desarrollo basado en FPGA, por ejemplo, ISE o Vivado.

A continuación, se muestra una propuesta de programación de sesiones prácticas basadas en el prototipo:

- Práctica 1: montaje del proyecto en Vivado 2017.3
- Práctica 2: análisis jerárquico y modular del proyecto. Identificación de componentes. Simulación funcional.
- Práctica 3: síntesis del proyecto y análisis del código ejecutado en MicroBlaze con la herramienta SDK 2017.3. Identificación de parámetros y funciones básicas.
- Práctica 4: implementación del firmware en la FPGA. Análisis de la calibración de canales y captura de imágenes. Análisis y debug de las principales señales y procesos con el analizador lógico integrado ILA.

- Práctica 5: modificaciones del firmware. RoI (Region of Interest), tiempo de exposición, calibrado, canales, etcétera.

En la segunda vertiente, el prototipo se orienta más a desarrollos para Trabajos Fin de Grado/Máster, con mejoras del firmware, aumento de la versatilidad del prototipo con más funcionalidades o la inclusión en el módulo de tratamiento de imagen de filtros u otras operaciones. A continuación, se enumeran algunas de estas tareas:

- En el entrenamiento, se deserializa para datos de 12 bits. Aumentar la versatilidad para parametrizar este dato y permitir deserializaciones de 8, 10, 14 y 16 bits, por ejemplo.
- La calibración se realiza con un nivel de abstracción bajo, empleando explícitamente componentes tales como IDDR, ICONTROL, IDELAY y una máquina de estado compleja con numerosos estados. Otro proyecto consiste en la sustitución de este módulo por el IP ISERDES que provee Xilinx para realizar la deserialización de datos de una manera más abstracta.
- El módulo de swapping sólo contempla el formato de datos STD descrito en el apartado IV.B. En una primera aproximación, sustituir este módulo por uno equivalente para su uso en el ordenamiento de datos cuando el sensor trabaja en el modo HDR de alto rango dinámico. Posteriormente, diseñar un módulo versátil que contemple la ordenación de canales para ambos modos de funcionamiento.
- Una vez ordenada la imagen, se puede incluir cualquier tratamiento a la misma. En el catálogo de IPs de Vivado podemos encontrar filtros FIR para suavizar o detectar bordes, transformadas DFT y FFT, filtrado de ruido, correctores de perspectiva o de efectos de lentes. También se puede implementar alguna función específica no incluida en los IP usando lenguaje de descripción de hardware.
- Detección de objetos en la imagen.
- Posibilidad de selección de un subconjunto de interés de la imagen o inclusión de texto o marcadores.

VI. ESTADO ACTUAL Y PERSPECTIVAS FUTURAS

En el curso académico actual se ha incluido como propuesta de TFM el ordenamiento de canales para el sensor operando en modo HDR. El próximo curso la oferta se aumentará con algunos TFG/TFM que incluyan algunas de las mejoras mencionadas en el apartado anterior.

A partir del próximo curso está prevista la inclusión del prototipo para la docencia de la asignatura del Máster de Ingeniería Industrial denominada Diseño de Sistemas Electrónicos en FPGA, que es obligatoria de 6 créditos ECTS dentro del itinerario de electrónica. El alumnado de la asignatura se mueve entre 2 y 3, lo que lo hace ideal para el empleo de este tipo de recursos.

Los profesores adscritos al proyecto de la cámara imparten además docencia en las asignaturas Sistemas Electrónicos Digitales, de Primero del Grado de Ingeniería Informática, y Electrónica Digital, de Tercero del Grado de Ingeniería Industrial. En estas asignaturas básicas se imparten contenidos de la metodología de diseño basada en tecnologías FPGA y

VHDL a nivel introductorio. Ambas cuentan con un número elevado de alumnos (250 y 100 respectivamente en el actual curso académico), por lo que se ha descartado el uso exhaustivo del prototipo. Sin embargo, se está valorando la realización de seminarios en los que se presente el prototipo y se realice una demostración, ya sea en clase teórica o en pequeños grupos.

AGRADECIMIENTOS

El presente trabajo ha sido financiado mediante el Proyecto RTI2018-096886-B-C53 del Ministerio de Ciencia e Innovación.

REFERENCES

- [1] S. K. Solanki et al, "The Second Flight of the Sunrise Balloon-Borne Solar Orbiter: Overview of Instruments Updates, the Flight, the Data, and First Results", *Astrophysical Journal Supplement Series*, volumen 229, número 1, 2017.
- [2] B. Ruiz, Física solar espacial: PHI para Solar Orbiter e IMaX y SP para Sunrise. Memoria científico-técnica de proyectos coordinados. Convocatoria 2016 de Proyectos de Excelencia y Proyecto Retos. Dirección General de Investigación Científica y Técnica. 2016.
- [3] J.C. del Toro Iniesta, V. Martínez Pillet, "Assessing the behavior of modern magnetographs and spectropolarimeters", *The Astrophysical Journal Supplement Series*, vol 201 (2), 9pp., 2012.
- [4] EASii IC. CoaxPress Device IP Specification. IC/130206. Hard Soft Interface Document.
- [5] Xilinx, 7 Series FPGAs Data Sheet: Overview. Product Specification. DS180 (v2.5). Xilinx. 2017. Disponible en: https://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf (accedido el 12 de marzo de 2020).
- [6] Gpixel, 4 Megapixels Scientific CMOS Image Sensor. Datasheet V1.5
- [7] M. Rodríguez et al., "FPGA firmware description for IMaX+/SCIP", *Avances en Arquitectura y Tecnología de Computadores. Actas de las Jornadas Sarteco 2019*, pp. 614-618, Cáceres, 2019.
- [8] N. Sawyer, "LVDS Source synchronous 7:1 serialization and deserialization using clock multiplication", *Application Note: 7 Series FPGAs, XAPP585 (v1.1.2)*, 2018. Disponible en https://www.xilinx.com/support/documentation/application_notes/xapp585-lvds-source-synch-serdes-clock-multiplication.pdf (accedido en 12 de marzo de 2020).
- [9] E. Magdaleno et al., "Ordenamiento de canales del sensor GSENSE400 en modo STD para el instrumento IMaX+", *Avances en Arquitectura y Tecnología de Computadores. Actas de las Jornadas Sarteco 2019*, pp. 626-631, Cáceres, 2019.