

# Osciladores Controlados por Voltaje para la Generación y Distribución Simultánea de Señal de Reloj en Sistemas en Chip

*Oscar González-Díaz, Mónico Linares-Aranda, Reydezel Torres-Torres.*

*Instituto Nacional de Astrofísica, Óptica y Electrónica, México Luis Enrique Erro No. 1 Tonantzintla, Puebla.*

[ogonzalez@inaoep.mx](mailto:ogonzalez@inaoep.mx), [mlinares@inaoep.mx](mailto:mlinares@inaoep.mx), [reydezel@inaoep.mx](mailto:reydezel@inaoep.mx)

## RESUMEN

Actualmente el diseño de sistemas de generación y distribución de señal/es de reloj de alto desempeño (alta frecuencia, skew, jitter y consumo de potencia reducidos) para sistemas en un Solo Chip (SoC), constituye una importante área de investigación en el desarrollo de sistemas electrónicos. En este artículo se presenta un análisis de las principales filosofías de diseño de redes de generación y distribución de señal de reloj actuales y futuras. Se deriva que las redes no-resonantes en base a osciladores controlados por voltaje/corriente representan una alternativa altamente atractiva para la sincronización de sistemas en un solo chip debido a su fácil diseño, alta regularidad, y escalabilidad con la tecnología de fabricación.

Palabras clave: osciladores, osciladores controlados por voltaje, SoC.

# Voltage Controlled Oscillators for Clock Generation and Distribution in System on Chip

## ABSTRACT

*Nowadays the design of systems that generate and distribute high performance clock signals (high frequency, with low skew, jitter and power consumption) for Systems on Chip, constitutes an important area of research in the development of electronic systems. In this article we present an analysis of the principal design philosophies of clock generations and distribution networks, and we derive that the non-resonant networks implemented by voltage (current) controlled oscillators represent an attractive alternative for the synchronization of high performance integrated systems, due to simple design, regularity, modularity, and fabrication process scalability.*

*Key words: oscillators, SoC, voltage control oscillators.*

## INTRODUCCIÓN

Hoy en día existe una demanda creciente de equipos multimedia portátiles (computadoras, teléfonos celulares, cámaras, reproductores de audio, etc.) que realicen una gran cantidad de funciones a alta velocidad y con el menor consumo de energía posible. La mayoría de estas funciones son realizadas en una manera digital síncrona, lo cual implica la incorporación de un sistema de sincronización encargado de generar y distribuir una o varias señales de reloj a todos los puntos donde sean requeridas mediante Redes eficientes de Distribución de Reloj (RDR).

Bajo frecuencias de operación de los circuitos en el rango de los gigahertz (GHz) existen efectos no deseados principalmente en interconexiones de gran longitud tales como, variaciones de los valores de parámetros eléctricos (resistencia, capacitancia e inductancia) con la frecuencia, incremento de las variaciones en las líneas de alimentación (Vdd y Gnd bounce) así como acoplamiento entre líneas de interconexión (crosstalk) entre dispositivos, etc. Esto provoca que la incertidumbre en el tiempo (skew y jitter) debida a la RDR represente un alto porcentaje del periodo de la señal de reloj, y por lo tanto menor frecuencia de operación. Asimismo, el tamaño de los chips de circuitos integrados es cada vez mayor lo cual conlleva a un incremento de la carga en las RDR's provocando un aumento en el skew y el jitter. Además, con el continuo escalamiento de las tecnologías existe un menor control sobre el tamaño requerido de los dispositivos durante el proceso de fabricación aumentando aún más esta incertidumbre<sup>1</sup>.

En el diseño de RDRs uno de los principales objetivos es distribuir una señal a la mayor frecuencia posible y con la menor incertidumbre, por lo tanto el corrimiento de las señales (skew) y el temblor de la señal (jitter) deben ser reducidos proporcionalmente con respecto al periodo de la señal de reloj. Asimismo, debido a las altas frecuencias de operación, el consumo de potencia constituye otro parámetro de igual o mayor interés en el diseño, ya que una RDR puede llegar a consumir hasta un 40% de la potencia total del sistema integrado. Debido a esto, la distribución global ha ido cambiando, bien por distribuciones regionales y comunicación asíncrona entre elementos del sistema, ó bien generando varias señales de reloj en diferentes lugares dentro del chip mediante el acoplamiento de osciladores (redes Globalmente Asíncronas Localmente Síncronas GALS)<sup>2</sup>.

En este trabajo se presenta un análisis de diferentes redes de generación y distribución de reloj tendientes a sincronizar microprocesadores futuros. En la Sección de Materiales y Métodos se explica brevemente el concepto fundamental de las redes *convencionales* y *no-convencionales*. En la Sección de Discusión se realiza un análisis de las principales ventajas y desventajas de las redes no-resonantes y resonantes. Finalmente se presentan las conclusiones derivadas de este análisis.

## MATERIALES Y MÉTODOS

### 1. Redes Convencionales

Las redes de distribución árbol H y Rejilla, o una combinación de ambas (Fig. 1) son las más utilizadas en la sincronización de sistemas integrados actuales. En estas redes la señal de reloj es generada por un circuito de amarre de fase (PLL) y distribuida a lo largo y ancho del dado utilizando buffers y líneas de interconexión. El número y tamaño de buffers presentes en las diferentes trayectorias (que van desde el punto donde se genera la señal hasta los diferentes sumideros que la necesitan) depende de la carga, la resistencia de la línea de interconexión y del skew permitido. Si el retardo es el mismo a través de cada una de las ramas, idealmente una señal que se genera en el PLL (origen) llega simultáneamente a todos los puntos donde es distribuida<sup>3</sup>.

Una de las principales desventajas en el diseño de las redes globales es la dificultad para obtener ramas perfectamente balanceadas, esto debido principalmente a las variaciones de carga y distribución de bloques que imponen los sistemas integrados actuales cada vez más complejos. Por ejemplo, si cambia el tamaño o la posición de alguno de los bloques que reciben la señal de reloj, es necesario realizar un rebalanceo total de la red, lo que a su vez requiere agregar, eliminar, y/o mover una gran cantidad de líneas de interconexión, lo cual puede resultar difícil de realizar en áreas con alta densidad de líneas. Por otra parte, si la red no posee ramas balanceadas, la incertidumbre de la señal de reloj se puede incrementar significativamente<sup>3</sup>.

Existe una variedad de técnicas utilizadas para incrementar la frecuencia de operación, reducir el skew y el consumo de potencia en las RDR's convencionales (tipo árbol H principalmente)<sup>1, 4, 5, 6</sup>. Sin embargo, aún presentan desventajas tales como: a) elevada complejidad, b) limitada precisión en la corrección de fase, c) aumento en jitter y d) mayor penalización en área.

### 2. Redes No Convencionales

Con el fin de resolver algunos de los principales problemas presentes en las redes globales, se han investigado algunas alternativas no convencionales, las cuales pueden englobarse en Redes Resonantes y Redes No-resonantes.

#### 2.1 Redes Resonantes

Una de las filosofías de diseño recientemente estudiadas son las redes de generación y distribución de reloj que se basan en el acoplamiento de osciladores en resonancia (redes resonantes). En general existen tres tipos de redes resonantes las cuales se clasifican de acuerdo al tipo de oscilador utilizado en su implementación: a) *empleando osciladores de ondas viajeras*, b) *empleando osciladores de ondas estacionarias*, c) *empleando osciladores con tanque LC*.

### 2.1.1 Red de reloj empleando osciladores de ondas viajeras

Teóricamente una onda de voltaje puede viajar indefinidamente a través de un anillo generando una señal de ciclo completo cada vez que se complete una vuelta en el anillo (Fig. 2a) <sup>7</sup>.

En la Fig. 2b se muestra una Red de Generación y Distribución simultánea de señal de Reloj (RGDR) que emplea el acoplamiento de osciladores de ondas viajeras (OOV). Un OOV es un anillo formado por una línea de interconexión diferencial cuya salida está conectada a su entrada en forma cruzada para provocar una inversión de la señal, mientras que un conjunto de inversores (conectados anti-paralelamente) son distribuidos alrededor del anillo para compensar las pérdidas en la línea de interconexión (Fig. 2c).

Con este tipo de redes es posible generar y distribuir simultáneamente una señal cuadrada en el rango de los GHz con bajo skew, jitter y consumo de potencia. Es importante mencionar que la señal que se genera presenta un rango dinámico amplio, su fase es dependiente de la posición y la frecuencia es inversamente proporcional a la longitud del anillo <sup>7</sup>.

### 2.1.2 Red de reloj empleando osciladores de ondas estacionarias

En años recientes se han propuesto redes de distribución de reloj utilizando el acoplamiento de osciladores de ondas estacionarias (OOE) <sup>8, 9</sup>. Una onda estacionaria es formada cuando interactúan dos ondas idénticas que se propagan en dirección opuesta. La forma simple de generar una onda estacionaria de voltaje es hacer incidir una onda a través de una línea de transmisión con terminación en corto circuito (Fig. 3a). El objetivo es generar una onda incidente y una onda reflejada de igual amplitud para mantener una onda (estacionaria) sobre una línea de transmisión diferencial con pérdidas (Fig. 3b); estas últimas son reducidas mediante el uso de compensadores <sup>8</sup>.

La principal ventaja de los OOE's es la generación de ondas cuya fase es independiente de la posición, disminuyendo la incertidumbre en el tiempo (skew y jitter); sin embargo, se obtiene una señal con un rango dinámico reducido.

Una RGDR con base a OOE's (Fig. 4) es capaz de generar y distribuir simultáneamente una señal sinusoidal en el rango de los GHz con reducido skew, jitter y bajo consumo de potencia; sin embargo, debido a la reducida amplitud de la señal y dependencia de la posición se requiere de una etapa de salida para amplificar la señal.

Con el fin de obtener una señal de reloj con fase y amplitud uniforme, en <sup>9</sup> se propone una RDR (Fig. 5) implementada mediante el acoplamiento de OOE con carga inductiva. La principal diferencia es el inductor que funciona como carga del OOE y que hace posible eliminar los segmentos de baja amplitud que se generan en la técnica convencional <sup>8</sup>. Aunque esto permite obtener una señal con amplitud y fase uniformes, desafortunadamente se requiere de una gran cantidad de inductores colocados a lo largo y ancho del CI provocando una mayor penalización en área y complejidad en el diseño.

### 2.1.3 Red de reloj empleando osciladores con tanque LC

Un oscilador controlado por voltaje (VCO) implementado con un circuito tanque LC puede generar una señal de tipo sinusoidal con una frecuencia de oscilación en el rango de varias decenas de gigahertz y con un ruido de fase reducido. En <sup>10</sup> se propone una red de generación y distribución implementada por un arreglo de VCO's acoplados mediante la conexión directa de sus respectivos nodos de salida (Fig. 6). La red genera señales de reloj a muy altas frecuencias con bajo skew y jitter. Para poder distribuir esta señal en diferentes puntos de un sistema integrado, se requiere de una mayor cantidad de VCO's y por tanto mayor cantidad de inductores ocupando una mayor área e incrementando la complejidad en la implementación del circuito.

## 2.2 Redes No-Resonantes

Una red de generación distribución de reloj (RGDR) puede ser implementada mediante la interconexión y el acoplamiento de osciladores de anillo constituidos por un número impar de etapas de retardo (Fig. 7). La red genera y distribuye simultáneamente una señal de reloj en diferentes puntos del sistema integrado mediante la repetición del anillo básico.

Existen diferentes topologías para el oscilador de anillo básico que pueden ser utilizadas en la implementación de una red no-resonante. En la Fig. 7 se muestran tres tipos de RGDR con base en la interconexión y acoplamiento de 6 (a 60°), 8 (a 45°) y 16 (a ± 45°) osciladores de anillo, respectivamente. Las RGDR que emplean el acoplamiento de osciladores con tres etapas de inversión consumen una menor cantidad de potencia en comparación con aquellas implementadas con cinco o más etapas.

Los osciladores de anillo que forman parte de la RGDR (Fig. 7) están implementados por etapas de retardo conectadas en cascada y en lazo cerrado necesarias para producir el cambio de fase y la ganancia suficiente para satisfacer los criterios de oscilación de Barkhausen <sup>11</sup>: a) Criterio de ganancia:  $|H(j\omega_0)| \geq 1$  en la frecuencia de oscilación  $\omega_0$ . b) Criterio de fase:  $H(j\omega_0) = 2\pi$  en la frecuencia de oscilación  $\omega_0$ .

El oscilador de anillo básico debe ser eficiente en términos de frecuencia de operación, skew, jitter, consumo de potencia, integridad de señal etc. Un adecuado diseño del anillo permite implementar una red que genere y distribuya una señal de reloj utilizada en la sincronización de sistemas integrados con una mayor cobertura (Fig. 8). La RGDR es implementada mediante la repetición del anillo básico (Fig. 8a) hasta lograr una cobertura (tamaño) dada (Fig. 8c) conservando las propiedades de la celda básica. La frecuencia de operación permanece casi constante y el consumo de potencia total es linealmente proporcional al número de anillos utilizados <sup>2</sup>.

## DISCUSIÓN

En la Tabla I se muestran las principales métricas de desempeño (frecuencia de operación, skew, jitter, consumo de potencia, rango dinámico) de RGDR convencionales y no convencionales. Si bien las RDR convencionales son

ampliamente utilizadas en la sincronización de microprocesadores comerciales como el Pentium 4 debido a su sencillez y facilidad de diseño<sup>12</sup>; su empleo está llegando a su límite ya que para altas frecuencias de operación cada vez es más difícil satisfacer los requerimientos de skew, jitter, consumo de potencia, integridad de señal, etc.

Las RGDR locales no convencionales (resonantes y no resonantes) forman parte de una filosofía de diseño que permite disminuir, compensar y/o eliminar los problemas relacionados con las redes convencionales mediante la generación de señales de reloj en diferentes puntos del chip. Esto permite incrementar la frecuencia de operación, reducir la longitud de las interconexiones y disminuir la incertidumbre en el tiempo de la señal de reloj.

Con base en lo mencionado anteriormente la tendencia actual es la sincronización de sistemas integrados empleando redes de tipo local (Tabla I) que presenten las siguientes características: a) alta frecuencia de operación, reducido skew, jitter y consumo de potencia bajo variaciones de proceso, voltaje y temperatura; b) un amplio rango de entonado; c) arquitectura sencilla, totalmente integrable, escalable y compatible con la tecnología CMOS.

Las redes locales del tipo resonantes si bien generan señales a muy alta frecuencia de operación con reducido skew, jitter y consumo de potencia, presentan las siguientes desventajas:

a) El adecuado funcionamiento depende en gran medida de un conjunto de consideraciones (frecuencia de operación, tipo de línea de transmisión, tipo y cantidad de compensadores, tipo de acoplamiento, etapa de salida) que deben ser tomados en cuenta en el proceso de diseño e implementación. Si alguna de estas consideraciones no se satisface completamente la incertidumbre de la señal de reloj y el consumo de potencia se incrementan significativamente dando como resultado un mal funcionamiento de la red.

b) La frecuencia de la señal de reloj ( $f_c$ ) es inversamente proporcional a la longitud de los osciladores. Esto indica que para generar altas frecuencias de operación (en GHz) es necesario reducir la longitud de las líneas de interconexión que forman parte de los anillos (Fig. 9). Por lo tanto, se requiere de una mayor cantidad de osciladores acoplados para cubrir una determinada área.

c) El rango de entonado es muy reducido, por lo que para generar diferentes frecuencias de operación es necesario modificar la longitud física de las líneas de interconexión que forman parte de los osciladores y por lo tanto se requiere de un total re-diseño de la red.

d) La alta calidad de las líneas de interconexión e inductores que se requieren para su implementación incrementa el área, la complejidad, el tiempo de diseño y el costo de implementación.

Por su parte, las redes locales del tipo No-Resonantes, aún cuando por ahora generan señales con menor frecuencia de operación comparadas con las obtenidas con redes resonantes (Tabla I), presentan características altamente deseables para la sincronización de grandes sistemas integrados, entre las principales están:

a) Topología sencilla, alta regularidad, modularidad, altamente integrables y compatibles con la tecnología CMOS.

b) Generan frecuencias en el rango de los GHz, aproximadamente un 10% de la frecuencia máxima ( $f_{max}$ ) de la tecnología (Fig. 10).

c) Dependiendo del número de etapas en el anillo básico, se pueden generar señales con alta cuadratura y múltiples fases.

d) En la implementación de la red no se requiere de inductores, debido a esto se reduce el área, la complejidad y el costo de implementación.

e) El diseño de la red puede llevarse a cabo en forma más sencilla y directa.

Así, se observa que el adecuado diseño del oscilador controlado por voltaje/corriente (anillo básico) es de gran importancia para mejorar las características de la red de reloj local. Actualmente existe una variedad de trabajos relacionados con el diseño de osciladores de anillo (Tabla II) que generan señales con frecuencias en el rango de los GHz, con un número de etapas mínimo y reducido consumo de potencia posible<sup>11, 15, 16, 17</sup>.

Con el continuo escalamiento de las tecnologías (Fig. 10) y la constante propuesta de nuevas topologías para las etapas de inversión, la frecuencia y el consumo de potencia del oscilador de anillo básico puede ser optimizada significativamente incluso utilizando una mayor cantidad de etapas de inversión (Fig. 11).

## CONCLUSIONES

Las RGDR locales forman parte de una filosofía de diseño que permite disminuir, compensar y/o eliminar los problemas relacionados con las redes globales. Este tipo de redes representa una alternativa para la sincronización de sistemas integrados de alto desempeño los cuales son cada vez más rápidos y de mayor tamaño.

Particularmente las redes no-resonantes presentan características como topología sencilla, regularidad, modularidad y compatibilidad con tecnologías de fabricación (CMOS), que permiten la adecuada sincronización de un sistema integrado. Además, por el continuo escalamiento de las tecnologías la tendencia actual es que este tipo de redes generen y distribuyan señales de reloj a alta frecuencia de operación de una forma más sencilla y directa en comparación con las redes resonantes.

## RECONOCIMIENTOS

Al CONACYT-México por el apoyo a través del Proyecto No. 51511-Y.

## REFERENCIAS

1. TAM, S. et al.: "Clock Generation and Distribution for the First A-64 Microprocessor," *IEEE J. Solid-State Circuits*, vol. 35, no. 11, pp. 1545 – 1552, Nov. 2000.
2. SALIM-MAZA, M.: "Generación y Distribución de Señal de Reloj para Sistemas en Chip utilizando Anillos Interconectados y

Acoplados,” Tesis Doctorado, INAOE, Puebla, México, Junio, 2005.

3. **LAURENT, M. S. AND SWAMINATHAN, M.:** “A Multi-PLL Clock Distribution Architecture for Gigascale Integration,” *Proceedings of the IEEE Computer Society Workshop on VLSI, 2001.*, pp. 30–35, Apr. 2001.
4. **KURD, N. A. et al.:** “A Multigigahertz Clocking Scheme for the Pentium 4 Microprocessor,” *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1647–1653, Nov. 2001.
5. **ROSENFELD, J. AND E. FRIEDMAN, E.:** “Design Methodology for Global Resonant H-tree Clock Distribution Networks,” *Proceedings of the 2006 IEEE International Symposium on Circuits and Systems, ISCAS 2006.*, pp. 2073–2076, May 2006.
6. **CHAN, S. C. et al.:** “Distributed Differential Oscillators for Global Clock Networks,” *IEEE J. Solid-State Circuits*, vol. 41, no. 9, pp. 2083–2094, Sept. 2006.
7. **WOOD, J. et al.:** “Rotary Traveling-Wave Oscillator Arrays: A New Clock Technology,” *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1654–1664, Nov. 2001.
8. **O’MAHONY, F. et al.:** “A 10-GHz Global Clock Distribution Using Coupled Standing-Wave Oscillators,” *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 1813–1820, Nov. 2003.
9. **SHIOZAKI, M. et al.:** “20 GHz uniform-phase uniform-amplitude standingwave clock distribution,” *IEICE Electronics Express*, vol. 3, no. 2, pp. 11–16, Jan. 2006.
10. **SHIBASAKI, T. et al.:** “18-GHz Clock Distribution Using a Copled VCO Array,” *IEICE Trans. Electron.*, vol. E90-C, no. 4, pp. 811–822, Apr. 2007.
11. **PACHECO, D. AND LINARES, M.:** “A Low Power and High Speed CMOS Voltage-Controlled Ring Oscillator,” *Proceedings of the 2004 IEEE International Symposium on Circuits and Systems, 2004.*, vol. 4, no. 4, pp. IV–752–IV–755, May 2004.
12. **RANGANATHAN, N. AND JOUPPI, N. P.:** “Evaluating the Potential of Future On-Chip Clock Distribution using Optical Interconnects,” *HP Technical Report 2007*, pp. 1–14, Oct. 2007.
13. **WANG, R. et al.:** “Clock Generation and Distribution Using Traveling-Wave Oscillators with Reflection and Regeneration,” *IEEE Custom Integrated Circuits Conference 2006*, pp. 781–784, Sept. 2006.
14. **SCHWIERZ, F. AND LIU, J. J.:** *MODERN MICROWAVE TRANSISTORS Theory, Design, and Performance*. Hoboken, New Jersey: A John Wiley and Sons, Inc., Publication, 2003, ch. 1.
15. **EKEN, Y. A. et al.:** “A 5.9-GHz Voltage-Controlled Ring Oscillator in 0.18- $\mu\text{m}$  CMOS,” *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 230–233, Jan. 2004.
16. **TU, W. H. et al.:** “A 1.8V 2.5-5.2 GHz CMOS Dual input Two-stage Ring VCO,” *Proceedings of the 2004 IEEE Asia Pacific Conference on Advanced System Integrated Circuits, 2004.*, pp. 134–137, Aug. 2004.
17. **TAO, R. AND BERROTH, M.:** “Low Power 10 GHz ring VCO using Source Capacitively Coupled Current Amplifier in 0.12  $\mu\text{m}$  CMOS Technology,” *Electronics Letters*, vol. 40, no. 23, Nov., 2004.

## AUTORES

**Oscar González-Díaz**, nació en la ciudad de Puebla, México, en 1981. Recibió el grado de ingeniero electrónico en el Instituto Tecnológico de Puebla, México, en 2004. Recibió el grado de Maestro en Ciencias en el Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), Puebla, México, en 2006. Actualmente es estudiante de doctorado del INAOE trabajando en el área de redes de generación y distribución de reloj en alta frecuencia. Dirección: Luis Enrique Erro # 1 Tonantzintla-Puebla-México, Tel: (222) 247-27-42, Fax: (222) 247-27-42, [ogonzalez@inaoep.mx](mailto:ogonzalez@inaoep.mx).

**Mónico Linares-Aranda**, recibió el grado de ingeniero electrónico en la Universidad Autónoma de Puebla, el grado de Maestro en Ciencias en el Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), Puebla, México, y el grado de Doctor en Ciencias en el Instituto Politécnico Nacional, México, en 1985, 1986 y 1996 respectivamente. Actualmente se desempeña como investigador del INAOE trabajando en el área de circuitos integrados CMOS en modo mixto y MEMS. Dirección: Luis Enrique Erro # 1 Tonantzintla-Puebla-México, Tel: (222) 247-27-42, Fax: (222) 247-27-42, [mlinares@inaoep.mx](mailto:mlinares@inaoep.mx).

**Reydezel Torres-Torres**, nació en la Ciudad de México, México, en 1975. Recibió el grado de ingeniero eléctrico en el Instituto Tecnológico de Querétaro, México, en 1998. Recibió los grados de Maestro en Ciencias y Doctor en Ciencias en el Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), Puebla, México, en 2000 y 2003, respectivamente. Actualmente se desempeña como investigador del INAOE trabajando en el modelado y caracterización de circuitos y dispositivos en alta frecuencia. Dirección: Luis Enrique Erro # 1 Tonantzintla-Puebla-México, Tel: (222) 247-27-42, Fax: (222) 247-27-42, [reydezel@inaoep.mx](mailto:reydezel@inaoep.mx).

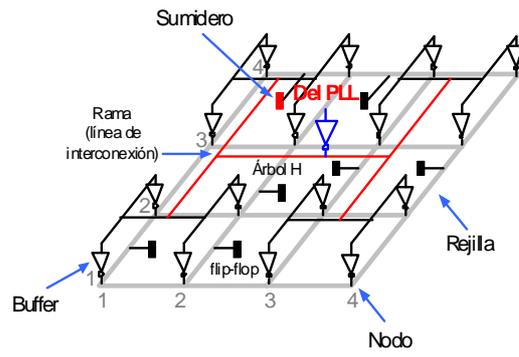


Figura 1. Red de distribución de reloj tipo árbol H.

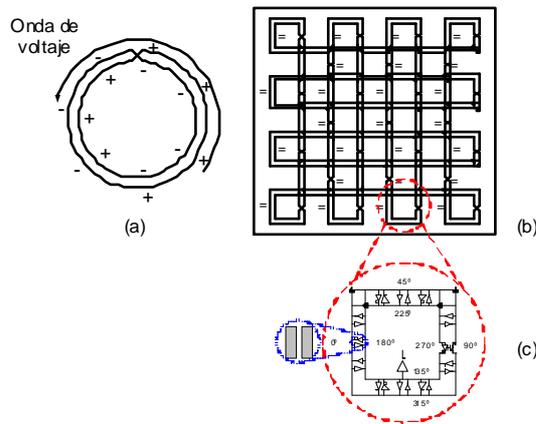


Figura 2. Red de generación y distribución de reloj que utiliza el acoplamiento de osciladores de ondas viajeras.

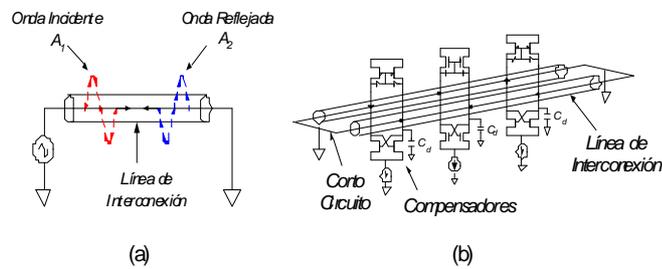


Figura 3. (a) Generación de onda estacionaria, (b) Oscilador de onda estacionaria.

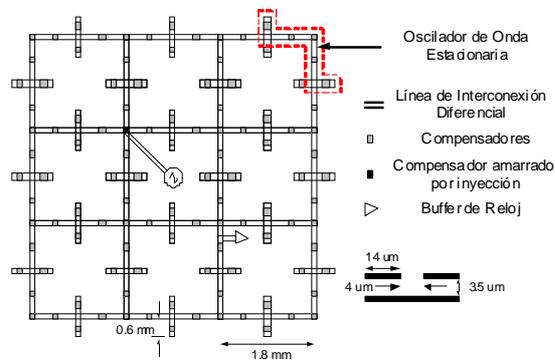


Figura 4. Red de generación y distribución de reloj con base en el acoplamiento de osciladores de onda estacionaria.

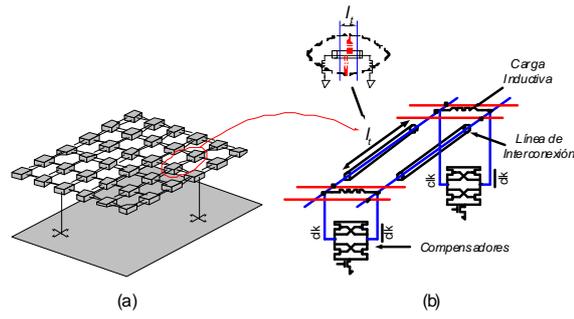


Figura 5. Red de generación y distribución de reloj que emplea el acoplamiento de osciladores con carga inductiva.

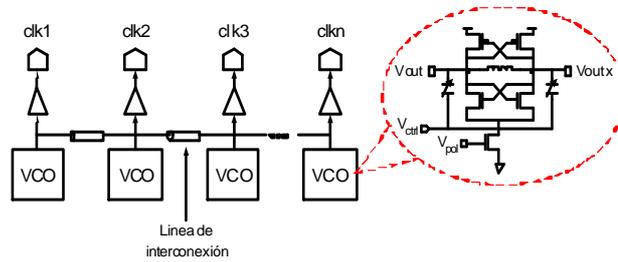


Figura 6. Red de generación y distribución de reloj que utiliza el acoplamiento de VCO's LC.

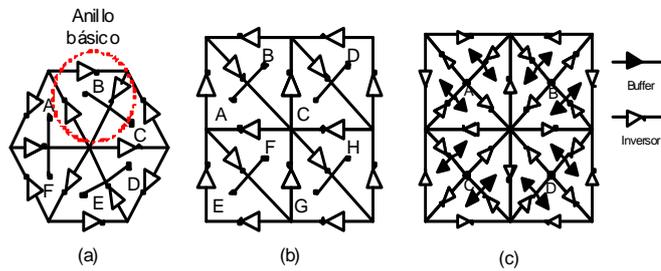


Figura 7. Red de generación y distribución de reloj con base en la interconexión y el acoplamiento de osciladores de anillo.

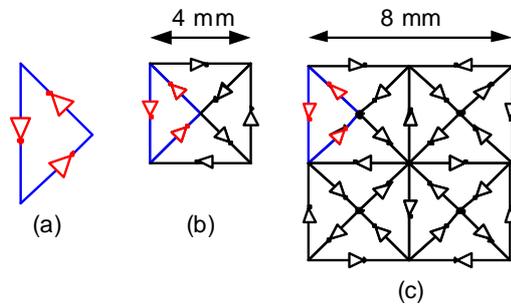


Figura 8. Modularidad y regularidad en una RGDR.

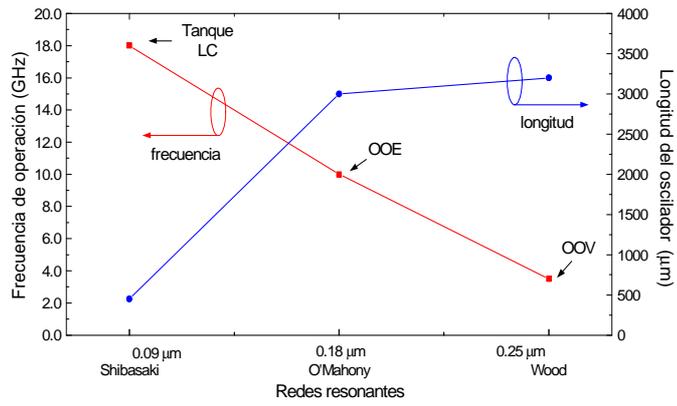


Figura 9. Frecuencia de operación y longitud de osciladores en redes resonantes.

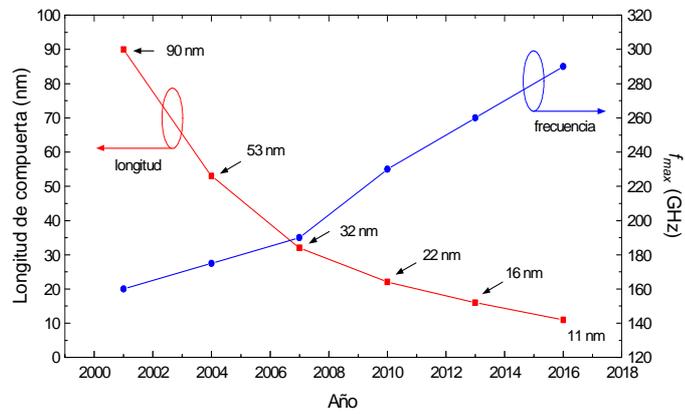


Figura 10. Tendencia de la longitud de compuerta y  $f_{max}$  en tecnología CMOS <sup>14</sup>.

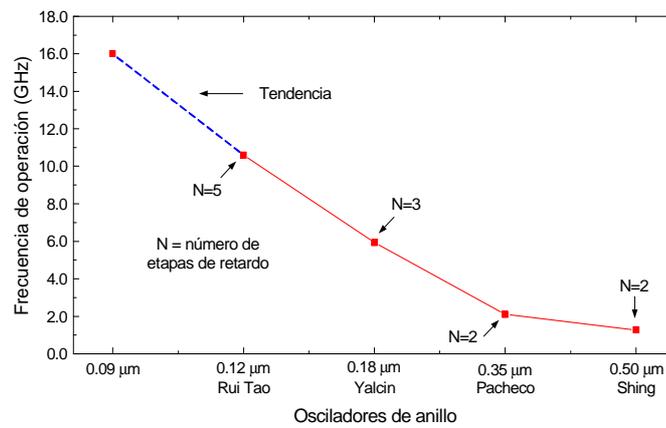


Figura 11. Frecuencia de operación de diferentes osciladores de anillo.

Tabla I: Métricas de desempeño de redes de generación y distribución de reloj (RGDR).

Ref.	Tecn ( $\mu\text{m}$ )	Vdd (V)	fc (Ghz)	Skew (ps)	Jitter (ps)	Potencia (mW)	Vpp (V)
[6]	0.18	1.8	1.1	-	34	50/e	1.8
[7]	0.25	2.5	3.5	-	-	210/ooV	1.4
[13]	0.18	1.8	6.5	1.3	0.84	9.4/ooV	1.6
[8]	0.18	1.8	10.0	1.5	0.8	47/ooe	0.2
[9]	0.18	1.8	17.2	0.67	0.11	13/ooe	0.3
[10]	0.09	1.2	18.0	-	14.1	2.4/vco	0.6
[2]	0.35	3.3	0.97	10.3	-	18/oa	3.0

Tabla II: Métricas de desempeño para diferentes osciladores de anillo.

Parám.	Shing 2001	Pacheco 2004	Yalcin 2004	Wei 2004	Rui Tao 2004
Tecno. ( $\mu\text{m}$ )	0.5	0.35	0.18	0.18	0.12
Vdd (V)	2.5	3.3	1.8	1.8	1.5
Frec. (GHz)	0.6-1.2	0.2-2.1	5.1-5.9	2.5-5.2	8.4-10.6
Potencia (mW)	15.5	7	-	17	52.5
Ruido de Fase	-106db 600KHz 900MHz	-90db 100KHz 1.2GHz	-99db 1MHz 5.7Ghz	-90db 1MHz 3.6GHz	-85db 1MHz 10GHz
Fmax / Fmin	2	10.5	1.14	2.08	1.26
Etapas	2	2	3	2	5